

AN14395

MCXA14x/15x MCU设计的EMC指南

第1版—2024年7月22日

应用笔记

文档信息

信息	内容
关键词	AN14395、MCXA14x/15x、EMC、MCXA153、MCU、EMI模型、旁路电路、去耦电路、板间接口、通信接口、调试接口、PCB层叠、USB高速信号、屏蔽链接、信号返回路径、数字滤波器
摘要	本文介绍了如何基于MCXA14x/15x MCU进行合理的EMC设计，以帮助用户保持产品EMC性能的稳健。



1 介绍

本文介绍了基于MCXA14x/15x MCU提高电磁兼容性（EMC）性能的一些常用方法。它是以MCXA153为例来介绍EMC设计的基本方法的。此外，本文可作为客户在实际应用中的指导或参考，帮助客户节省成本和时间，并提高产品的稳定性。

1.1 EMC的重要性

随着当代电子产品内部结构的发展，EMC在电子设备中的重要性日益凸显。产品的EMC性能直接决定了其工作性能。因此，在产品设计的初始阶段，就应以更高的优先级来考虑EMC的问题。

1.2 EMC的基本概念

电磁干扰（EMI）是现代电子系统中的主要问题之一。为了防止EMI问题导致项目进度延误，设计人员必须在设计初期就关注这一问题，并进行预分析、预测，然后设计产品。

设计人员在产品设计的各个阶段都应具备丰富的EMC知识和实践经验，以确保产品在成为商品之前符合相应的EMC标准。

图1所示为一个简单的EMI模型，包括EMI源、耦合路径和受影响的设备。

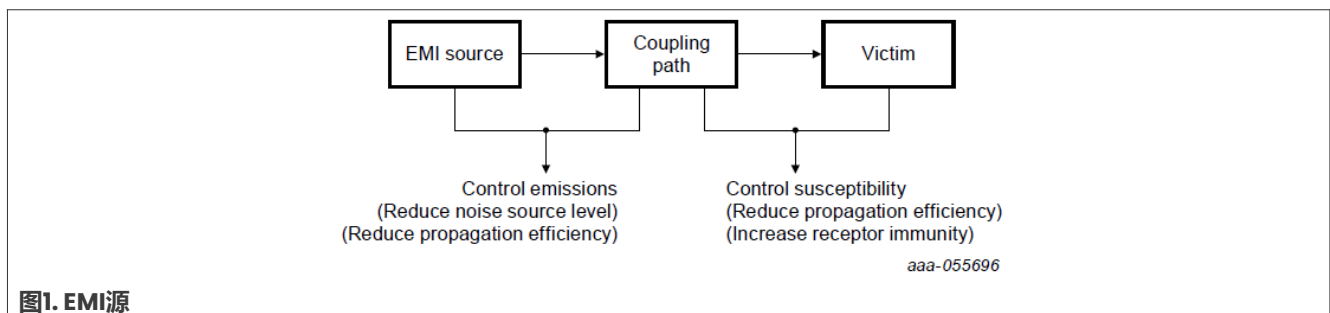


图1. EMI源

在图1中，可以通过降低EMI源的噪声、改变耦合路径和提高接收器的抗干扰能力来消除系统中的EMI问题。

- 要降低EMI源的噪声：
 - 减小噪声源的环路面积
 - 在噪声源中使用较慢的上升沿和下降沿信号
 - 减少驱动信号
 - 增加滤波功能
 - 屏蔽噪声源电路
- 要改变耦合路径：
 - 将接收器远离噪声源
 - 避免接收器和噪声源之间的PCB走线耦合和电源耦合
- 要提高接收器的抗干扰能力：
 - 减小与接收器相关的PCB电路的环路面积
 - 为受影响设备相关的信号线提供低阻抗返回路径和参考电源层

1.3 EMC设计的基本原则

产品的电子兼容性出现任何问题都会导致产品设计返工。为了避免这种情况，本文后续部分旨在帮助设计人员更好地了解如何增强抗扰度（灵敏度）并满足辐射要求。

尽管现代电子系统有不同的抗扰度要求，但辐射抗扰度（RI）和静电放电（ESD）的测试方法是相似的。

以下列出了开发板中的常见问题，它们是可以由基本的设计解决方案来减少的：

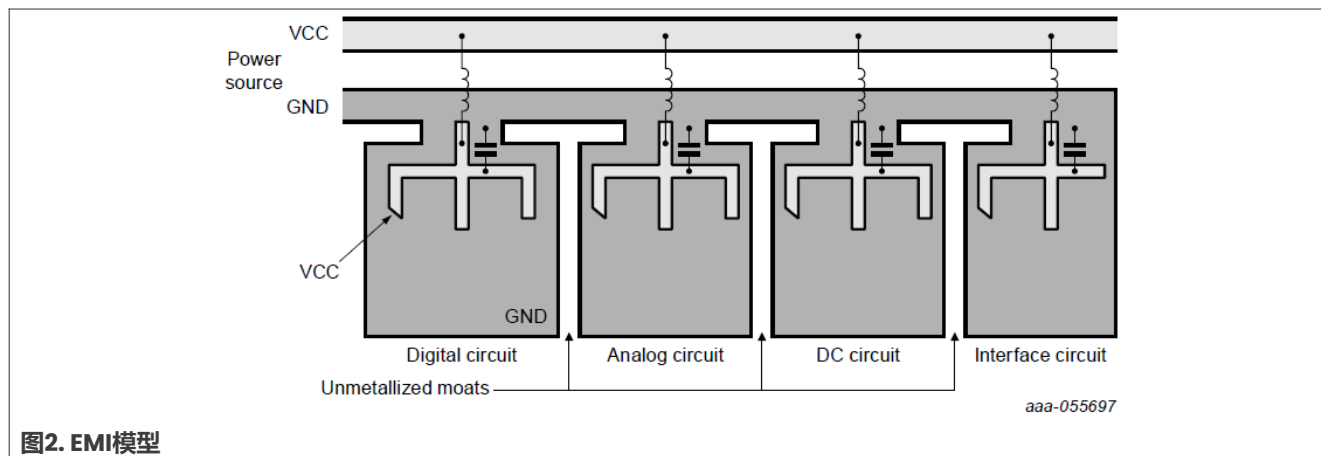
- EMI干扰：在辐射抗扰度测试中，高能量和高频环境产生的EMI可能会损坏系统中的电路元器件（EUT）。为了解决EMI问题，实施了一种基本设计方法，就是使敏感元器件（微控制器）远离这种工作环境。

注：这种工作环境信号和电源线处于高频谱范围内，如10MHz-900MHz。

- ESD电流：根据ESD的特性，短时间高能量脉冲会在DC-300MHz的频谱范围内引入系统，这些可能会损坏系统中的一些敏感元器件。为了防止ESD电流和能量成为敏感元器件的输入信号，引入了一个基本解决方案，即在信号和电源线上提供相对于机壳接地的高阻抗。
- 辐射：在系统中，必须尽可能减少电磁产生的辐射，以免影响其他设备。那些在RI和ESD中使用基本设计技术可以解决这些辐射问题。基本方法是消除测试系统产生的高频干扰电压和电流。
- 耦合：分段是使用物理分离来减少不同类型电路之间的耦合，特别是电源和接地轨道之间的耦合。

图2所示为使用分段技术将四个不同电路进行隔离的典型示例。在地平面中，未金属化的通道用于隔离四个地平面。L和C为电路板的各个部分提供滤波，减少不同电路电源平面之间的耦合。高速数字电路因其具有较高的瞬态功率需求而被放置在靠近电源入口的位置。

接口电路需要ESD和瞬态抑制元器件和电路。对于L和C，应使用不同值的L和C滤波元器件，而不是使用一个大的L和C。因为它们可以为不同的电路提供不同的滤波特性。



2 PCB设计

在开发板的设计中，一些关键电路的设计对EMC/EMI/ESD的性能起着决定性作用，例如：

- 晶振电路
- 复位电路
- 未使用的引脚配置
- 板间接口
- 通讯接口
- 电源配置

本文后续部分将对这些设计方面进行详细介绍。相关的设计规则的介绍以MCXA153处理器为例。

2.1 晶振电路

MCXA14x/15x MCU使用外部8MHz晶振作为主参考时钟。此外，它还允许使用外部时钟源。

- 外部时钟：有源晶振可用作外部参考时钟。有源晶振通常比无源晶振具有更好的ESD性能。因此根据经验，建议使用有源晶振。与使用无源晶振的系统相比，使用有源晶振的系统的ESD性能可提升约2KV。
- 内部时钟：使用内部时钟作为参考时钟可大大提高EMC性能。

2.2 复位电路

图3所示为参考复位电路。建议将RC电路放置在靠近复位引脚的位置，以减少噪声的影响。

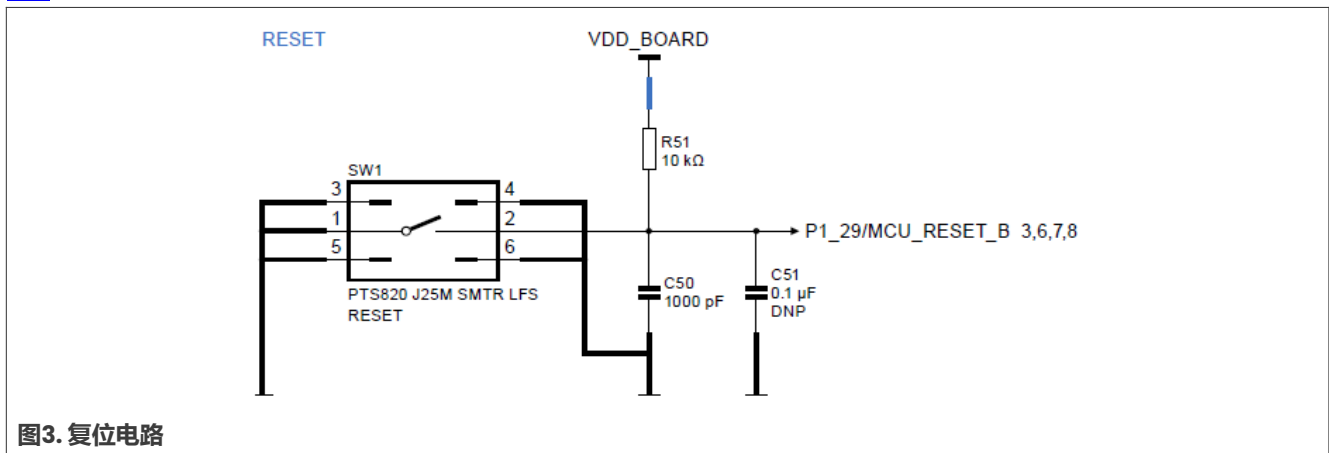


图3. 复位电路

2.3 未使用的引脚配置

未使用的引脚可能会影响EMC性能，可能导致功耗增加，并且在恶劣的EMC条件下相应的GPIO状态可能会发生变化。例如，在恶劣的EMC条件下，具有高阻抗输入的引脚可能会频繁切换状态，从而增加功耗并导致其他EMC问题。

注：建议避免将未使用的引脚直接接地。在EMC条件较差的情况下，GPIO配置寄存器可能会发生变化。如果输出了高电平，则在这种情况下会产生大电流而损坏引脚。

通常，数据手册会提供未使用引脚的连接建议。具体配置可参考如下：

- 要确定是否允许未使用的引脚悬空，请参阅数据手册。
- 如果允许某个引脚悬空，则将其配置为GPIO并输出0或1。
- 如果不允许该引脚悬空，建议通过电阻（如10kOhm）将其下拉接地。

2.4 板间接口

对于板间传输的信号，必须注意信号环路的设计。如果信号环路相对较大，则它可能容易受到噪声干扰并辐射噪声。例如，图4所示为从电源板到处理器控制板（从VDDA通过运算放大器（U28）到AGND）的长高阻抗信号环路中的交流信号。因此，会产生大量耦合到处理器的噪声。

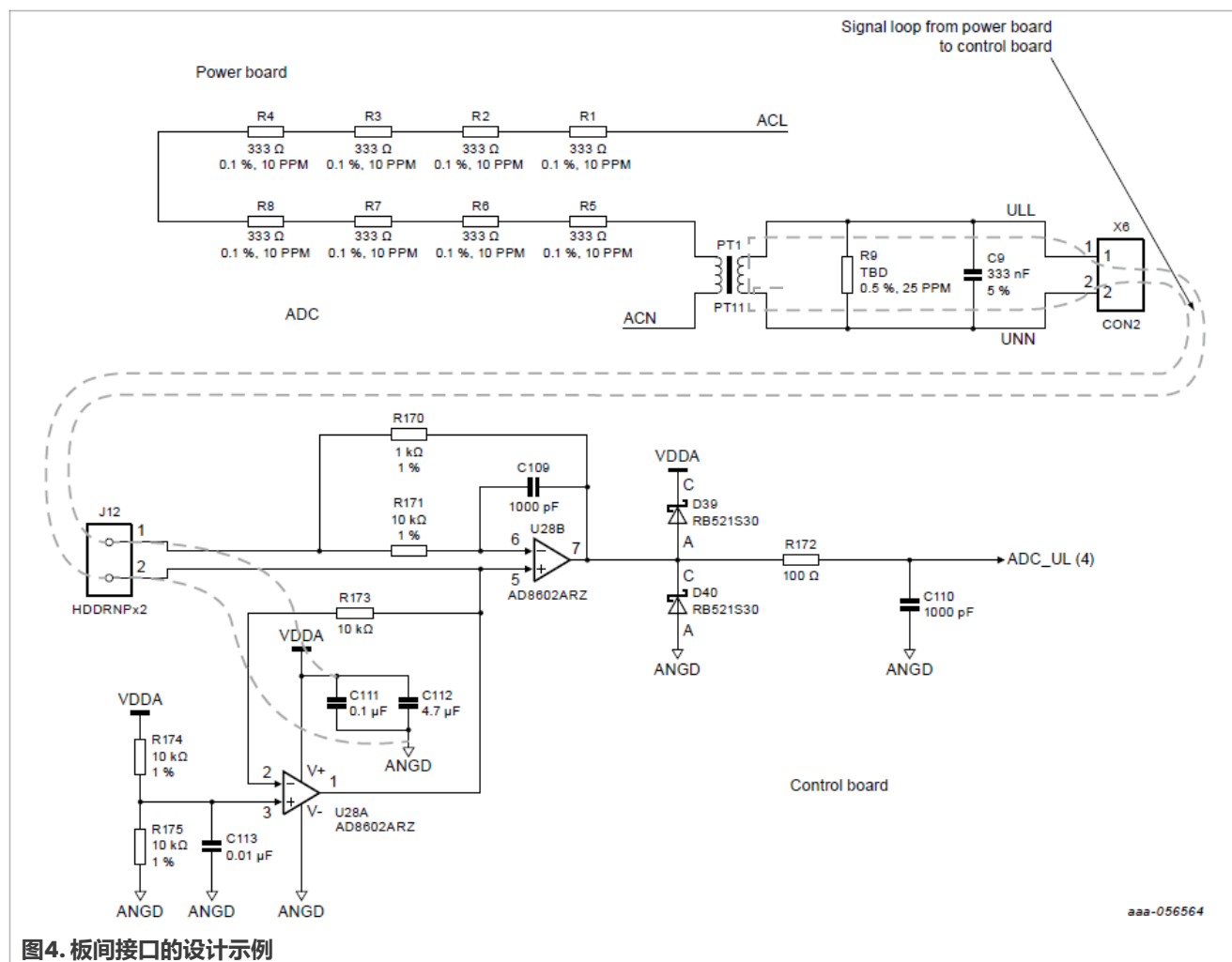


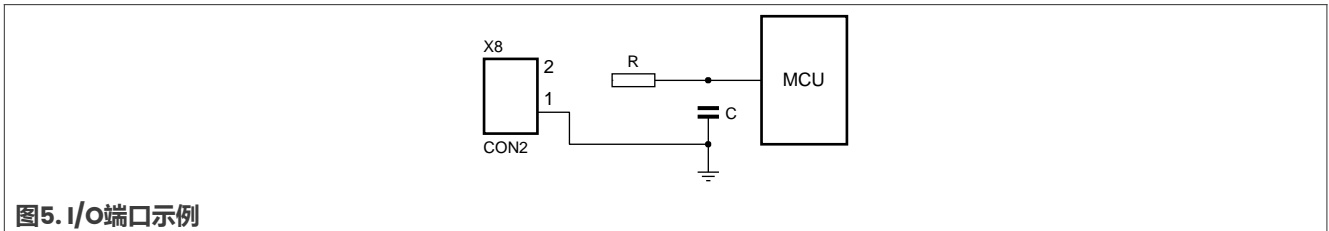
图4. 板间接口的的设计示例

图4还显示了以下缩短信号环路的选项：

1. 将PT1移至处理器控制板，以缩短输入信号环路。实验证明，修改后的直接接触放电测试结果从4KV提高到8KV，从而改善了EMC性能。

- 将运算放大器电路移至电源板，并将控制板上的VDDA和AGND连接到电源板。这使得ADC信号、VDDA和AGND之间的环路相对较小，从而改善了EMC性能。

对于处理器信号直接连接到连接器的情况，建议引入TVS元件作为ESD保护。图5所示为一种使用RC元件的低成本解决方案。对于R和C的值，需考虑信号的工作频率，并要求RC时间常数远小于信号周期。



如果接口上有高速信号或时钟信号，就很容易辐射噪声。建议地线必须靠近高速信号或时钟信号。此外，可以在开发板上预留匹配电阻，以减少信号循环路径的能量和信号谐波。有些设备支持通过软件调整信号驱动能力，这样的软件可用来降低信号驱动能力，从而减少谐波噪声辐射。

2.5 通讯接口

在通讯接口中，可采取多种措施来提高EMI和ESD性能，如下所示：

- 要抑制瞬态电压，可在连接器的信号返回路径上使用TVS二极管。
- 要隔离高频噪声，可在连接器的电源和开发板电源之间连接铁氧体磁珠。
- 要消除高频共模噪声，可在连接器的金属屏蔽层与开发板的地线之间的差分信号之间并联接入一个共模扼流圈。

2.5.1 USB

要提高ESD性能，建议采取以下措施：

- 使用TVS阵列保护VBUS、D+、D-和ID信号。
- 在连接USB差分信号时使用共模扼流圈，以提高EMI性能。
- 在电源引脚（VBUS、GND）上串联铁氧体磁珠，以隔离高频噪声。
- 使用RC电路或铁氧体磁珠隔离USB外壳和开发板的地，以提高ESD性能。

图6所示为MCXA153的USB部分的原理图。

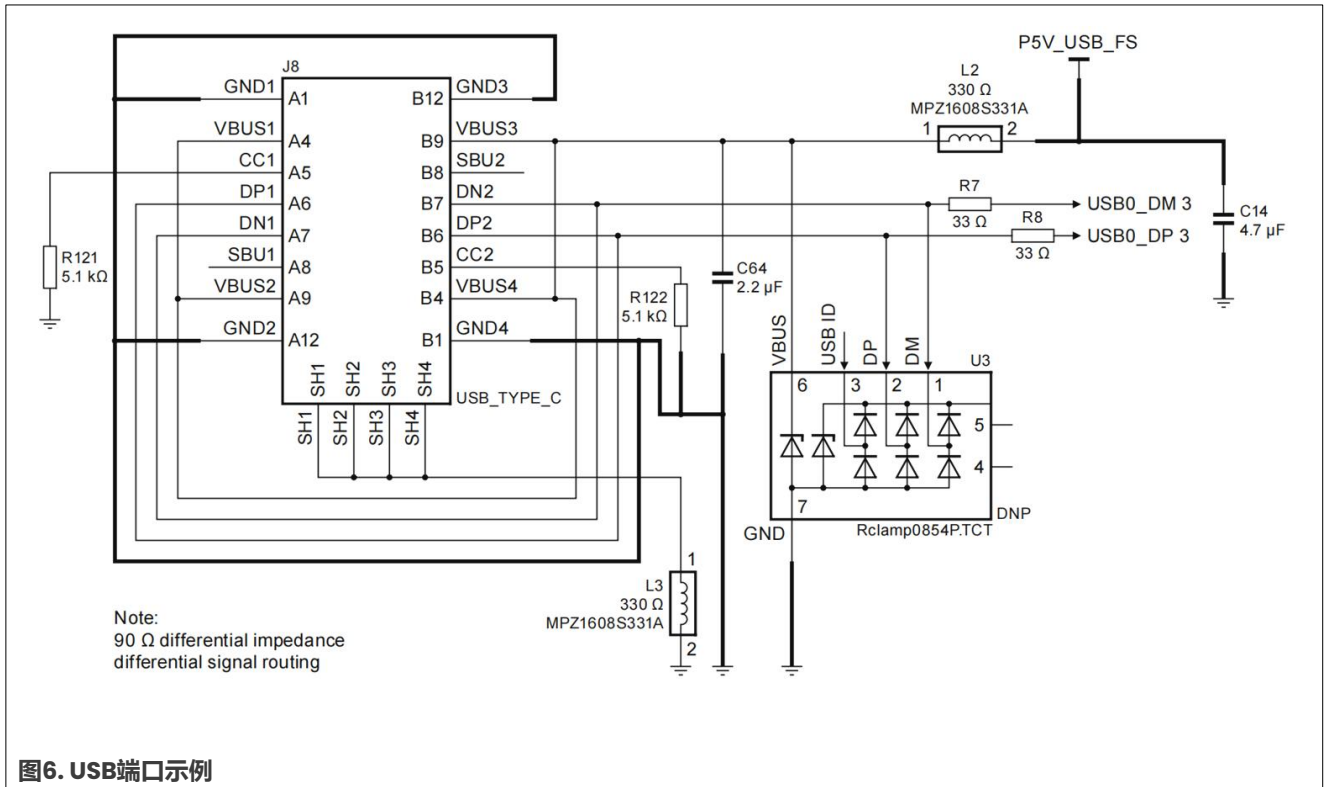


图6. USB端口示例

2.5.2 调试接口

调试接口在产品设计中广泛使用，主要用于产品开发阶段。一些关键信号在恶劣环境中容易受到干扰。为减少干扰，可以添加TVS保护或在调试接口上串联0欧姆电阻。这可在开发阶段用于调试。为了保护敏感信号免受干扰，在量产阶段需移除0欧姆电阻。

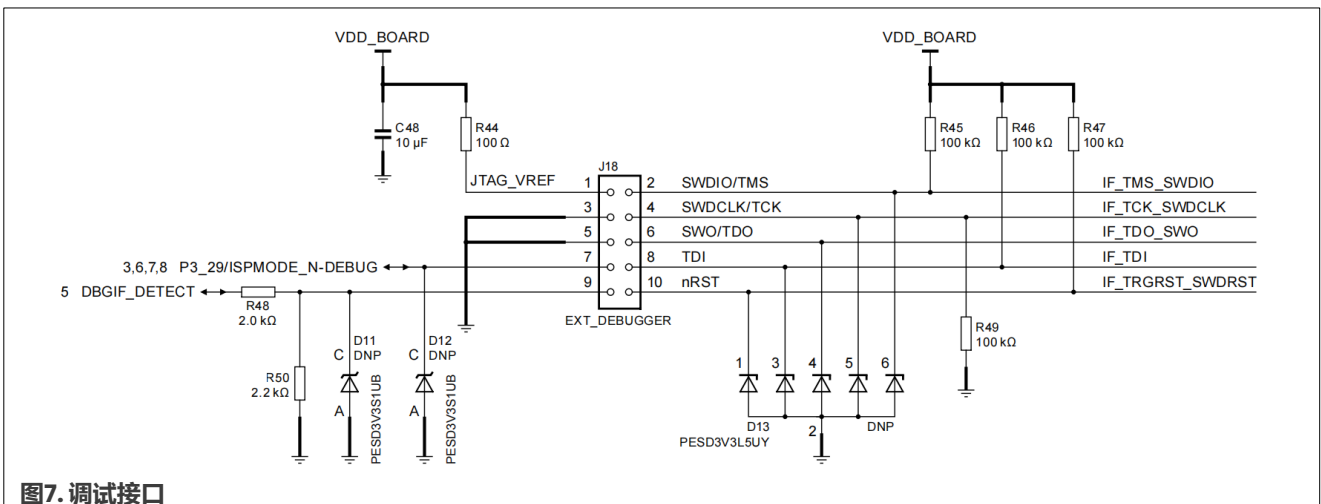


图7. 调试接口

2.6 接地跳接的影响

MCXA14x/15x MCU包含多个电源域，如VDD_USB、VDD_ANA、VDD_CORE和VDD_SYS。

当多个IO口同时从逻辑状态1变为0或从0变为1时，会导致：

- 寄生电容和电感频繁地充放电，从而导致接地故障。
- 电源故障，可能会影响某些敏感信号。尤其是那些与敏感信号共享同一电源域的并行接口信号。

避免接地干扰和电源故障的建议如下：

1. 遵循第3节中所述的高速信号布局建议。
2. 勿将敏感信号和并行接口置于同一电源域。
3. 在敏感信号输入端增加一个RC电路，以减少外部噪声的影响。

2.7 电源拓扑

在设计之初，应优先考虑电源拓扑的设计，包括电源器件选择、不同电源域的电压分配以及系统的上电时序。建议在系统设计前列出所有需要的电源，这样可以帮助设计人员对整个电源框架的设计有清晰的了解。

本文以MCXA153的电源设计为例，列出了系统中的电源及相关信息。

表1. 电源

电源名称	默认电压(V)	说明
SYS_5V0	5.0	<ul style="list-style-type: none">• 电源输入，AC-DC适配器或USBVBUS。• 为DCDC转换器和USB主机供电。
LDO_3V3	3.3	<ul style="list-style-type: none">• 源自板载LDO。• 为处理器和大多数板载元器件供电。
VDD_MCU	3.3	<ul style="list-style-type: none">• 源自LDO_3V3。• 为处理器的主电源供电。
VDD_ANA	3.3	<ul style="list-style-type: none">• 源自LDO_3V3。• 为处理器和板载模拟元器件供电。VDDA
USB0_VBUS	5.0	USB的VBUS。

3 PCB布局

3.1 PCB层叠和多层板布局设计

本节提供了使用PCB层叠设计以降低开发板EMI和EMC的不同方法。此外，还提供了在多层开发板布局设计中降低电源层和接地层阻抗的推荐措施。

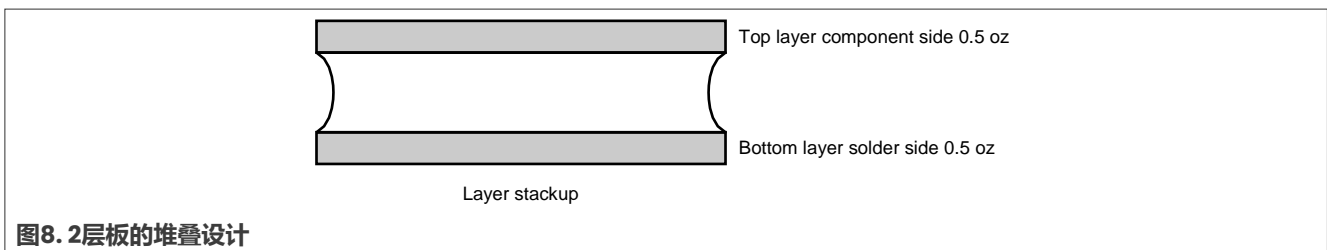
3.1.1 PCB层叠设计

MCXA14x/15x MCU具有大量信号接口，因此建议使用2层或4层PCB设计。

3.1.1.1 2层PCB堆叠结构

2层开发板的使用可将成本降至最低。对于MCXA14x/15x MCU，它可以满足大多数应用的基本要求。

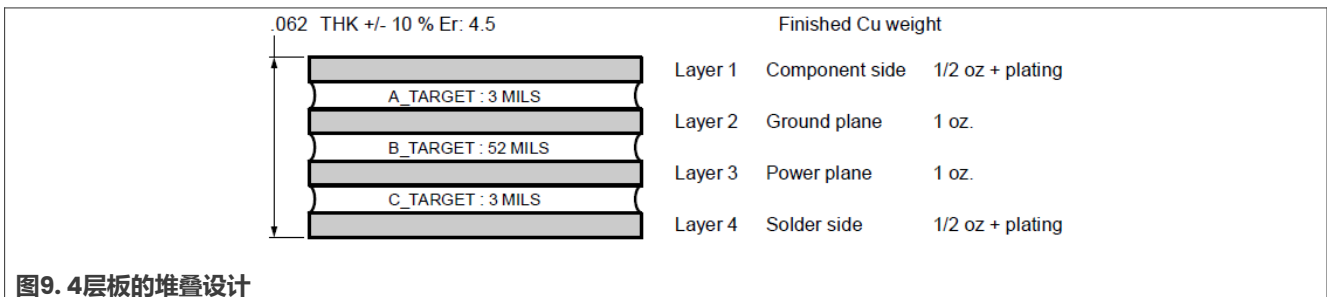
图8所示为使用FR4介质基板的2层板堆叠图。



3.1.1.2 4层PCB堆叠结构

4层PCB的堆叠设计在高速信号方面具有一定的优势和好处。首先，接地层和电源层可以为高速信号和差分信号的特性阻抗设计提供良好的参考平面。此外，接地层和电源层提供了更短的电流返回路径，且降低了地到电源的阻抗。等效环路天线的大小与电流环路的大小直接相关，而天线的大小又直接影响噪声的产生。因此，减少等效天线环路可以有效避免EMI干扰并提高EMC性能。

图9所示为4层板堆叠设计的示例。



3.1.2 降低电源和接地阻抗

在多层开发板布局的设计中，通常建议将电源层和接地层分开设置。这样可以降低电源和接地环路的阻抗。

以下是关于维持或降低电源和接地阻抗的建议：

- 参考20-H规则。20-H规则是多层板设计中电源和接地层设计的指南。该规则的主要原则是将接地层边缘到电源层的边缘的距离延伸至两个平面之间距离的20倍左右。这样可以减少开发板边缘的边缘场辐射的影响。
- 在电源层和接地层上放置尽可能多的过孔，并保持电源层和接地层的完整性。
- 在适当的位置放置过孔。这可降低电源层和接地层的阻抗，有助于为信号提供低阻抗返回路径。
- 避免信号走线跨越不同的参考平面。否则，会引入信号完整性问题。同时，在划分多个电源层和接地层时，应优先考虑敏感信号的布局和布线。

3.2 布局

在设计PCB布局时，有一些建议的关键点需要更多的关注。在放置元器件之前，应将不同功能的电路进行分类，例如电源、模拟电路、数字电路和高速接口连接器等。这些电路应放置在PCB板的不同区域。

建议在PCB设计时考虑以下几点：

- 电源电路应靠近电源输入端放置。元器件的放置应按从高压到低压的顺序进行。
- LDO稳压器的去耦电容应尽可能靠近输入和输出端口放置。
- 与数字电路相比，模拟电路更容易受到外部干扰信号的影响。因此，模拟电路必须远离高压和高速数字电路放置，以减少噪声干扰的耦合路径。
- 高速接口连接器与敏感元器件之间应保持足够的间隔。
- RF、AD/DA和模拟传感器电路的放置，因为这些电路对噪声较敏感。
- 晶振应靠近MCU放置，并用地线包围，以与其他敏感元器件保持一个安全距离。

3.3 旁路和去耦

为了旁路寄生电感，必须遵循以下建议：

- 在MCU的电源引脚附近放置小容量和大容量的去耦电容，这样电流必须先通过电容，再进入电源引脚。
- 去耦电容应尽可能靠近电源引脚放置。对于处理器来说，确保滤波电路的寄生电感最小，并且电源具有提供瞬态大电流的能力是非常重要的。
- 注意去耦电容和旁路电容的电流返回路径，并确保此返回路径尽可能短。

[图10](#)所示为去耦电容的布线图。

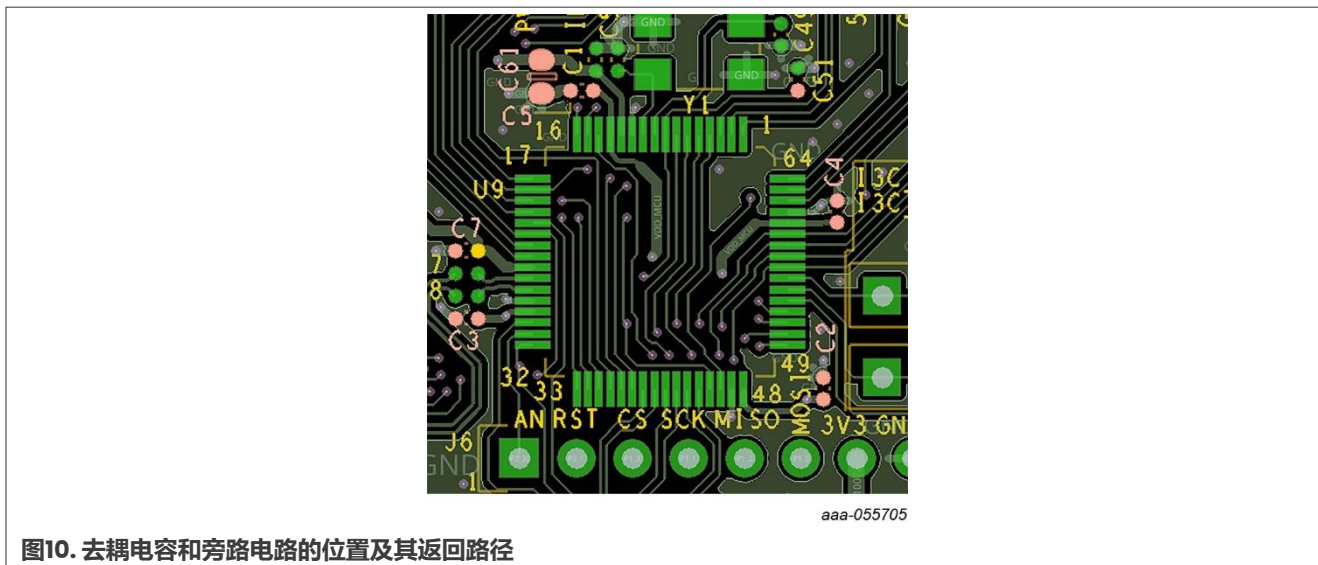


图10. 去耦电容和旁路电路的位置及其返回路径

3.4 晶振电路

常用的晶振电路有两种：

- 无源晶振：在微控制器的XTALIN和XTALOUT引脚之间连接
- 有源晶振

通常，晶体振荡器会产生噪声，且是一种易受到干扰的器件。因此，必须确保晶振的布线正确。

以下是一些推荐的布局选项：

- 晶振与XTALIN/XTALOUT之间的走线应尽可能短，并保持两条走线的长度相等。
- 将负载电容和反馈电阻靠近晶体放置，以减小寄生电感的影响。
- 晶振必须通过地线与其他电路元器件隔离。
- 地平面必须直接位于与晶振相关的元器件和走线的下方。
- 其他信号线应避免穿过晶振的相邻层。
- 增加晶振驱动电路的驱动强度可以提高EMS性能，但它也可能增加功耗并导致EMI问题。
- 使用有源晶振可获得更好的EMS性能。

3.5 USB高速信号

USB高速信号布线的指南如下：

- 高速信号（USB）应避免跨越不同的参考平面。
- 避免在参考平面上出现槽、孔和分裂。
- 当需要在不同参考平面之间转换时，应在信号层转换过孔的100mil范围内提供接地返回过孔。
- 数据、地址、时钟和控制信号线应具有阻抗匹配和走线长度控制（长度差异取决于总线速度），并保持过孔数量相同。

注：必须考虑传输延迟和阻抗控制，以确保器件之间良好通讯。

3.6 屏蔽连接

一些连接器是金属的，可能具有导电外壳、裸露外壳或可接触到元器件，例如USB和网络接口插座。因此，在设计时应考虑ESD性能。

以下是屏蔽连接的一些基本设计指南：

- 应在连接器（网络接口/USB）下方放置一个单独的屏蔽地。
- 应使用RC或铁氧体磁珠将连接器的外壳地连接到PCB板的地。在选择连接位置和元器件参数时应特别注意，这对EMC和EMI性能至关重要。
- 外壳的接地回路应尽可能小，以避免跨越关键信号或元器件，例如微控制器等。

图11所示为屏蔽连接的示例。

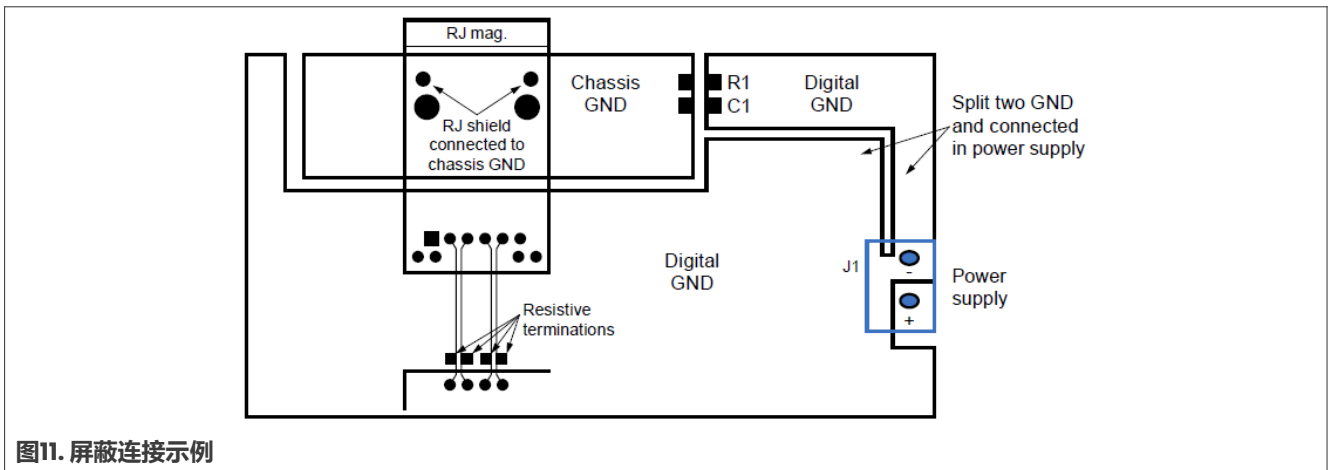


图11. 屏蔽连接示例

建议：

屏蔽地应通过RC电路或铁氧体磁珠连接到电源地，而不是直接连接到PCB的数字地。这可以防止噪声严重干扰数字地，从而保护敏感信号。

3.7 隔离

在设计中经常会使用隔离，如隔离强电流和弱电流或不同的电源。在本文中，以MCXA集中器中的RS485电路为例介绍其布局方法。

采用光隔离器IC实现RS485接收器与系统MCU之间的隔离。为了提高隔离性能，在RS485接收器下方设置了隔离间隙，并将该隔离间隙应用于所有平面（顶层/电源层/接地层/底层），以确保良好的隔离性能。

图12所示为RS485隔离电路的示例。

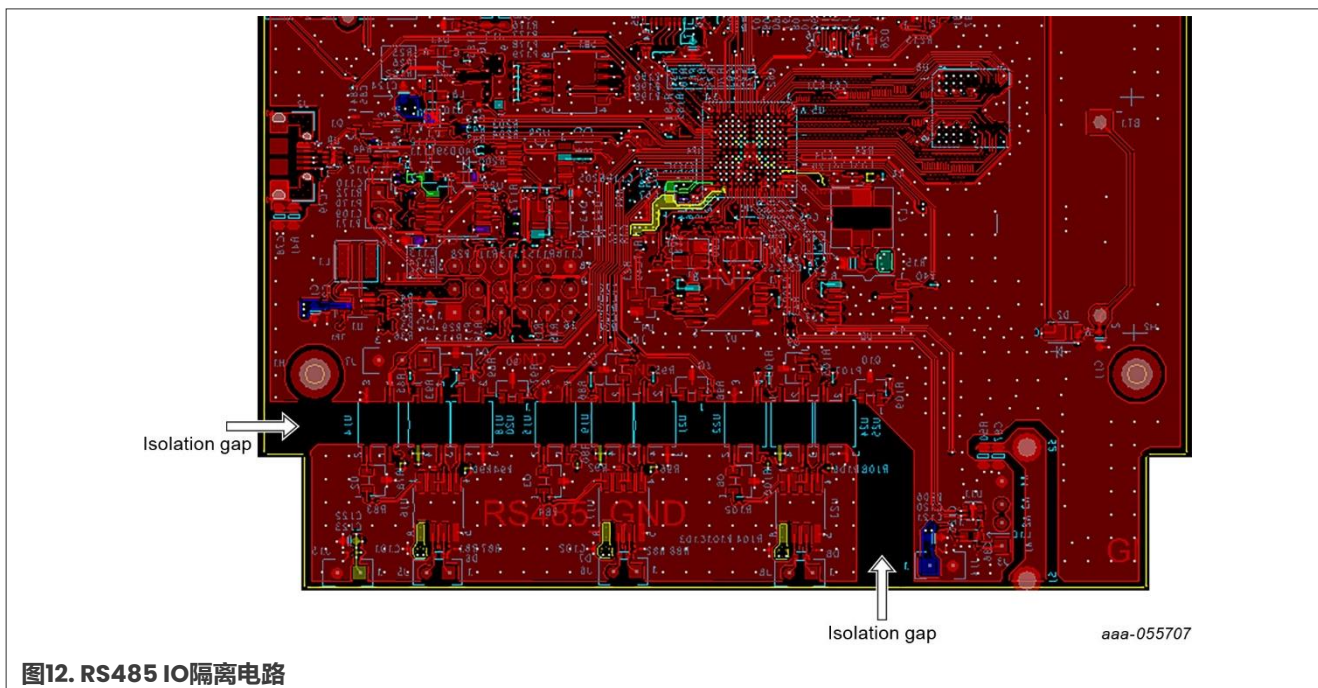


图12. RS485 IO隔离电路

3.8 信号返回路径

众所周知，电路是源设备和终端设备之间的一个闭合回路。关于信号返回路径和电源回路，信号返回路径一直受到更多的关注。实际上，信号和电源都有各自的返回路径。接地层可以是信号和电源的参考平面，但电源层也可以是信号的参考平面。环路面积越小，阻抗越小，串扰和电磁干扰（EMI）的影响也就越小。

图13所示为DC-DC转换电路。通过在输入和输出端口放置一个去耦电容，使得返回信号可以直接从顶层流向电源层，从而最小化电流返回路径和阻抗。

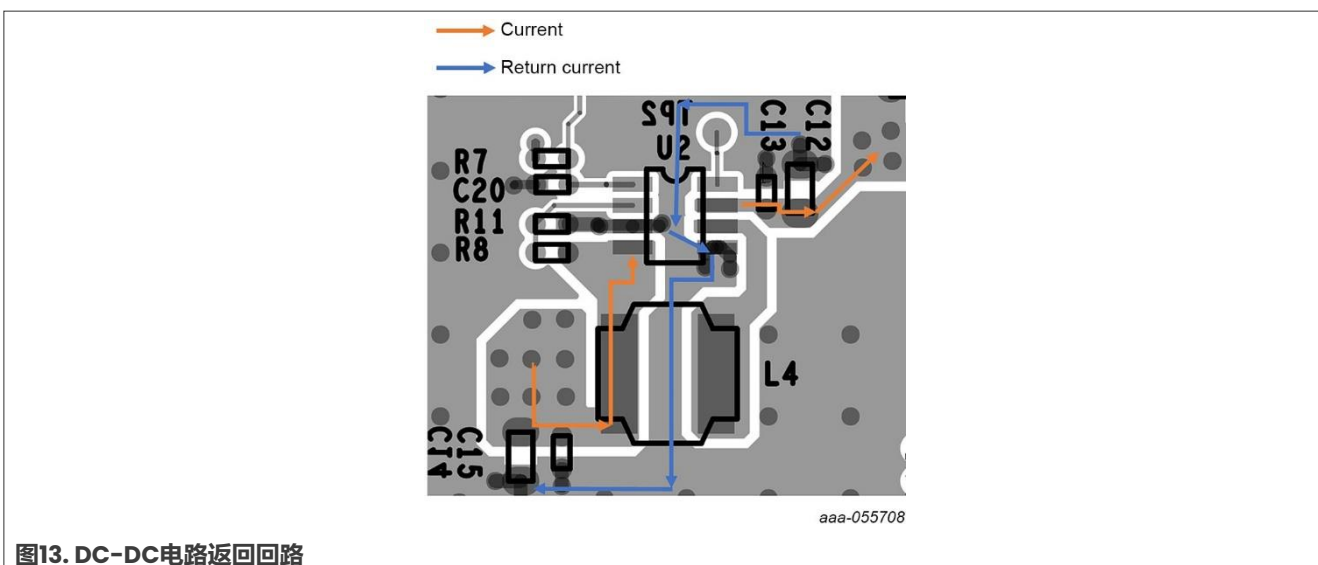


图13. DC-DC电路返回回路

在考虑信号返回路径时，应避免在当前电流返回路径中出现断点。电流环路面积越小，EMC性能越好。

4 软件设计

良好的软件设计是提高EMC性能的有效途径，同时还能在不增加任何额外成本的情况下提升系统的稳定性。

4.1 部分外设的滤波器配置

为了避免噪声干扰，一些外设支持数字滤波器，例如MCXA14x/15x MCU中的LPI2C和QDC等。这一功能可以按照指定的宽度过滤输入噪声。图14所示为如何引入数字滤波设备。

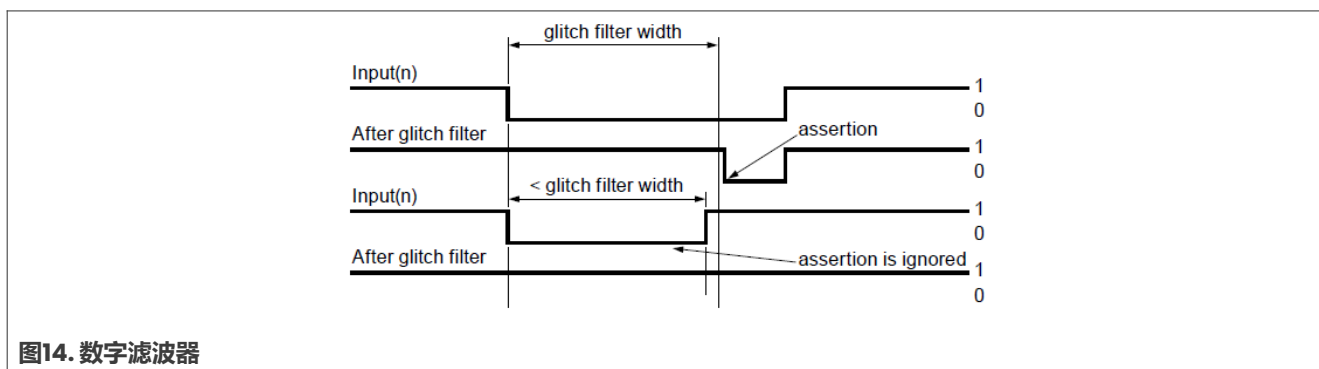


图14. 数字滤波器

图14所示为噪声被滤除的过程，可以根据应用需求配置滤波器的宽度。为了提高EMC性能，建议启用滤波器。

以MCXA集中器为例。在EFT测试中，LPI2C滤波器在4kV测试中开始工作异常。启用LPI2C滤波器后，它也能通过4.5kV的EFT测试。

5 EMC测试

以MCXA153为例，其EMC性能可按照IEC61000-4-2标准进行评估。

5.1 测试系统设置

图15所示为EMC测试项目。EMC包包含在恩智浦内部实验室进行的各种板级测试项目。

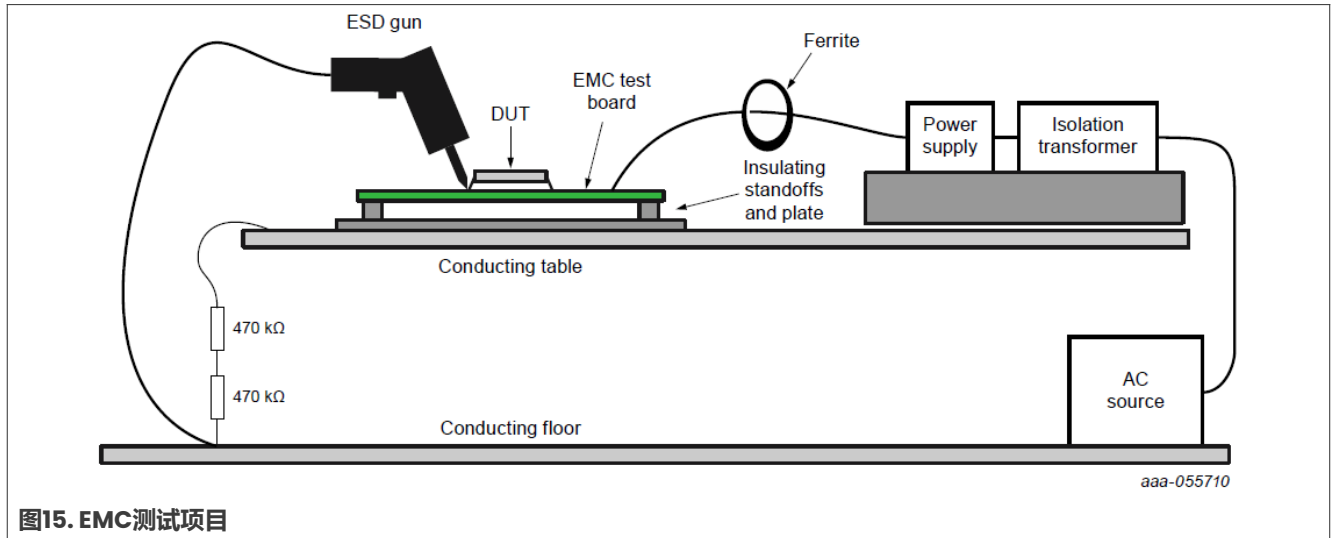


图15. EMC测试项目

表2. EMC测试项目

EMC测试	说明	测试环境	测试地点
IEC61000-4-2 (ESD)	直接接触放电	板级	内部

5.2 测试结果

EMC测试结果主要侧重于MCXA153 (FRDM-MCXA153) 的板级EMC评估。

表3汇总了每项EMC测试的结果。

表3. MCXA153VLH PESD、IO引脚和负极性注入

FRDM-MCXA153的板级EMC测试	
MCU	MCXA153
掩码设置	P07H
EMC测试	FRDM-MCXA153
IEC61000-4-2 (ESD) 直接接触放电	已通过(+5 kV, -3 kV)

- 在正ESD脉冲注入下的IO引脚：
 - 引脚P0_3(52)在+8kV注入时损坏
 - 引脚P2_0(14)、引脚XTAL48M(9)
 - 引脚P2_7(21)、引脚P1_4(62)分别在+5kV、+6kV、+7kV和+8kV注入时发生锁死故障。
 - 一些引脚发生自复位故障

- 最低电压为USB0_DM(26)引脚注入的+4kV电压。
- 在负ESD脉冲注入下的IO引脚：
 - P0_0(49)和引脚P0_3(52)在-7kV注入时损坏
 - 除RESET_B(8)引脚外，所有测试引脚均发生锁死故障
 - 在引脚XTAL48M(9)、引脚P2_7(21)、引脚P3_13(37)、引脚P3_6(44)、引脚P0_0(49)和引脚P0_3(52)上注入的最低电压为-4kV
 - 引脚RESET_B(8)、引脚P2_7(21)和引脚P0_3(52)分别在-2kV和-3kV注入时发生自复位故障
- 在正ESD脉冲注入下的电源和接地引脚：
 - 测试期间没有引脚损坏
 - 测试期间未发生锁死故障
 - 引脚VDD_USB(25)在+7kV注入时发生自复位故障
 - 其他引脚已通过+8kV测试
- 对于负ESD脉冲注入下的电源和接地引脚：
 - 测试期间没有引脚损坏
 - 测试期间未发生锁死故障
 - 除引脚VSS(11,61)外，所有测试引脚均发生自复位故障
 - 最低电压为引脚VDD(29,60)注入的-6KV电压

在极端环境下，微控制器可能需要额外的保护。有关增强微控制器瞬态抗扰度的更多信息，请参见[AN2764](#)。

6 参考资料

如需了解更多信息，请参考以下文档：

- [AN2321](#)，板级EMC设计
- [AN3747](#)，管脚布局应用笔记
- 《MCXA1XX参考手册》，网址为www.nxp.com.cn

7 修订历史

[表4](#)汇总了本文的修订情况。

表4. 修订历史

文档ID	发布日期	说明
AN14395 v.1	2024年7月22日	首次公开发布

Legal information

Definitions

Draft — A draft status on a document indicates that the content is still under internal review and subject to formal approval, which may result in modifications or additions. NXP Semiconductors does not give any representations or warranties as to the accuracy or completeness of information included in a draft version of a document and shall have no liability for the consequences of use of such information.

Disclaimers

Limited warranty and liability — Information in this document is believed to be accurate and reliable. However, NXP Semiconductors does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information. NXP Semiconductors takes no responsibility for the content in this document if provided by an information source outside of NXP Semiconductors.

In no event shall NXP Semiconductors be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory.

Notwithstanding any damages that customer might incur for any reason whatsoever, NXP Semiconductors' aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the Terms and conditions of commercial sale of NXP Semiconductors.

Right to make changes — NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Suitability for use — NXP Semiconductors products are not designed, authorized or warranted to be suitable for use in life support, life-critical or safety-critical systems or equipment, nor in applications where failure or malfunction of an NXP Semiconductors product can reasonably be expected to result in personal injury, death or severe property or environmental damage. NXP Semiconductors and its suppliers accept no liability for inclusion and/or use of NXP Semiconductors products in such equipment or applications and therefore such inclusion and/or use is at the customer's own risk.

Applications — Applications that are described herein for any of these products are for illustrative purposes only. NXP Semiconductors makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Customers are responsible for the design and operation of their applications and products using NXP Semiconductors products, and NXP Semiconductors accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the NXP Semiconductors product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP Semiconductors does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using NXP Semiconductors products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). NXP does not accept any liability in this respect.

Terms and conditions of commercial sale — NXP Semiconductors products are sold subject to the general terms and conditions of commercial sale, as published at <https://www.nxp.com.cn/profile/terms>, unless otherwise agreed in a valid written individual agreement. In case an individual agreement is concluded only the terms and conditions of the respective agreement shall apply. NXP Semiconductors hereby expressly objects to applying the customer's general terms and conditions with regard to the purchase of NXP Semiconductors products by customer.

Export control — This document as well as the item(s) described herein may be subject to export control regulations. Export might require a prior authorization from competent authorities.

Suitability for use in non-automotive qualified products — Unless this document expressly states that this specific NXP Semiconductors product is automotive qualified, the product is not suitable for automotive use. It is neither qualified nor tested in accordance with automotive testing or application requirements. NXP Semiconductors accepts no liability for inclusion and/or use of non-automotive qualified products in automotive equipment or applications.

In the event that customer uses the product for design-in and use in automotive applications to automotive specifications and standards, customer (a) shall use the product without NXP Semiconductors' warranty of the product for such automotive applications, use and specifications, and (b) whenever customer uses the product for automotive applications beyond NXP Semiconductors' specifications such use shall be solely at customer's own risk, and (c) customer fully indemnifies NXP Semiconductors for any liability, damages or failed product claims resulting from customer design and use of the product for automotive applications beyond NXP Semiconductors' standard warranty and NXP Semiconductors' product specifications.

HTML publications — An HTML version, if available, of this document is provided as a courtesy. Definitive information is contained in the applicable document in PDF format. If there is a discrepancy between the HTML document and the PDF document, the PDF document has priority.

Translations — A non-English (translated) version of a document, including the legal information in that document, is for reference only. The English version shall prevail in case of any discrepancy between the translated and English versions.

Security — Customer understands that all NXP products may be subject to unidentified vulnerabilities or may support established security standards or specifications with known limitations. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer's applications and products. Customer's responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer's applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP.

NXP has a Product Security Incident Response Team (PSIRT) (reachable at PSIRT@nxp.com) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

NXP B.V. — NXP B.V. is not an operating company and it does not distribute or sell products.

Trademarks

Notice: All referenced brands, product names, service names, and trademarks are the property of their respective owners.

NXP — wordmark and logo are trademarks of NXP B.V.

目录

1	介绍	2
1.1	EMC的重要性.....	2
1.2	EMC的基本概念.....	2
1.3	EMC设计的基本原则.....	3
2	PCB设计	4
2.1	晶振电路.....	4
2.2	复位电路.....	4
2.3	未使用的引脚配置.....	4
2.4	板间接口.....	5
2.5	通讯接口.....	6
2.5.1	USB.....	6
2.5.2	调试接口.....	7
2.6	接地跳接的影响.....	7
2.7	电源拓扑.....	8
3	PCB布局	9
3.1	PCB层叠和多层板布局设计.....	9
3.1.1	PCB层叠设计.....	9
3.1.1.1	2层PCB堆叠结构.....	9
3.1.1.2	4层PCB堆叠结构.....	9
3.1.2	降低电源和接地阻抗.....	9
3.2	布局.....	10
3.3	旁路和去耦.....	10
3.4	晶振电路.....	11
3.5	USB高速信号.....	11
3.6	屏蔽连接.....	12
3.7	隔离.....	12
3.8	信号返回路径.....	13
4	软件设计	14
4.1	部分外设的滤波器配置.....	14
5	EMC测试	15
5.1	测试系统设置.....	15
5.2	测试结果.....	15
6	参考资料	17
7	修订历史	18
	法律声明	19

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.

© 2024 NXP B.V.

All rights reserved.

For more information, please visit: <https://www.nxp.com.cn>

[Document feedback](#)

Date of release: 22 July 2024
Document identifier: AN14395