



Kinetis K22F 512KB Flash

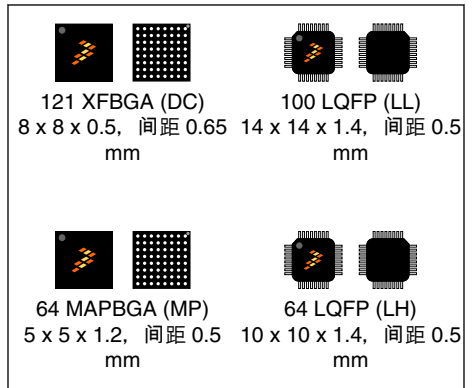
基于 Cortex-M4 内核的 120 MHz 微控制器，内置 FPU

成本敏感型应用通常需要低功耗 USB 连接和浮点单元的高处理效率，K22 系列产品针对这些需求进行了优化。这些器件继承了 Kinetis 系列丰富的功能和可扩展性。

该产品具有以下特性：

- 运行功耗低至 156 $\mu\text{A}/\text{MHz}$ ，静态功耗低至 3.8 μA ，并具有全状态保留和 6 μs 唤醒能力。静态功耗可低至 140 nA。
- USB LS/FS OTG 2.0，内置 3.3 V，120 mA LDO 稳压器。USB FS 设备无需外部晶体。

MK22FN512VDC12
MK22FN512VLL12
MK22FN512VLH12
MK22FN512VMP12



性能

- 120 MHz ARM Cortex-M4 内核，具有 DSP 指令集，1.25 Dhrystone MIPS/MHz

存储器 and 存储器接口

- 512 KB 片内 Flash 和 128 KB RAM
- FlexBus 外部总线接口
- 串行编程接口 (EzPort)
- Flash 上自带有引导加载程序，用于在出厂时进行一次性在系统编程

系统外设

- 灵活的低功耗模式，具有多个唤醒源
- 16 通道 DMA 控制器
- 独立外部和软件看门狗监控器

时钟

- 两个晶振：32 kHz (RTC) 和 32-40 kHz 或 3-32 MHz
- 3 个内部振荡器：32 kHz、4 MHz 和 48 MHz
- 多用途时钟产生器，具有 PLL 和 FLL

安全性和完整性模块

- 硬件 CRC 模块
- 每个芯片拥有 128 位唯一标识 (ID) 号
- 硬件随机数生成器
- Flash 存取控制可保护专利软件

人机接口

- 多达 81 个通用 I/O (GPIO)

模拟模块

- 两个 16 位 SAR ADC (在 12 位模式下为 1.2 MS/s)
- 两个 12 位 DAC
- 两个模拟比较器 (CMP)，含 6 位 DAC
- 精准的内部电压基准

通信接口

- USB 全速/低速 On-the-Go 控制器，带有片载收发器及 120 mA USB LDO 稳压器
- USB 全速器件可进行无晶体工作。
- 两个 SPI 模块
- 3 个 UART 模块和一个低功耗 UART
- 两个 I2C：支持高达 1 Mbps 操作
- I2S 模块

定时器

- 两个 8 通道通用/PWM 定时器
- 两个 2 通道通用定时器，具有正交解码器功能
- 周期性中断定时器
- 16 位低功耗定时器 (LPTMR)
- 带有独立电源域的实时时钟
- 可编程延迟块

工作特性

- 电压范围 (包括 Flash 写入): 1.71 至 3.6 V
- 温度范围 (环境): -40 至 105°C

订购信息

器件型号	存储器		I/O 最大数量
	闪存(KB)	SRAM (KB)	
MK22FN512VDC12	512	128	81
MK22FN512VLL12	512	128	66
MK22FN512VLH12	512	128	40
MK22FN512VMP12	512	128	40

相关资源

类型	说明
选型指南	Freescle Solution Advisor 是一款基于网络的工具，具有交互式应用向导和动态产品选型器。
产品简介	《产品简介》包含简洁的概述/总结信息，便于快速评估器件的设计适用性。
参考手册	《参考手册》包含关于器件结构与功能（操作）的详细说明。
数据手册	本文件是数据手册。其中包含电气特性和信号连接信息。
芯片勘误表	《芯片掩模组勘误表》提供特定器件掩模组的额外信息或更正信息。
封装图纸	封装图纸中提供了封装尺寸。

图 1 显示了芯片中的功能模块。

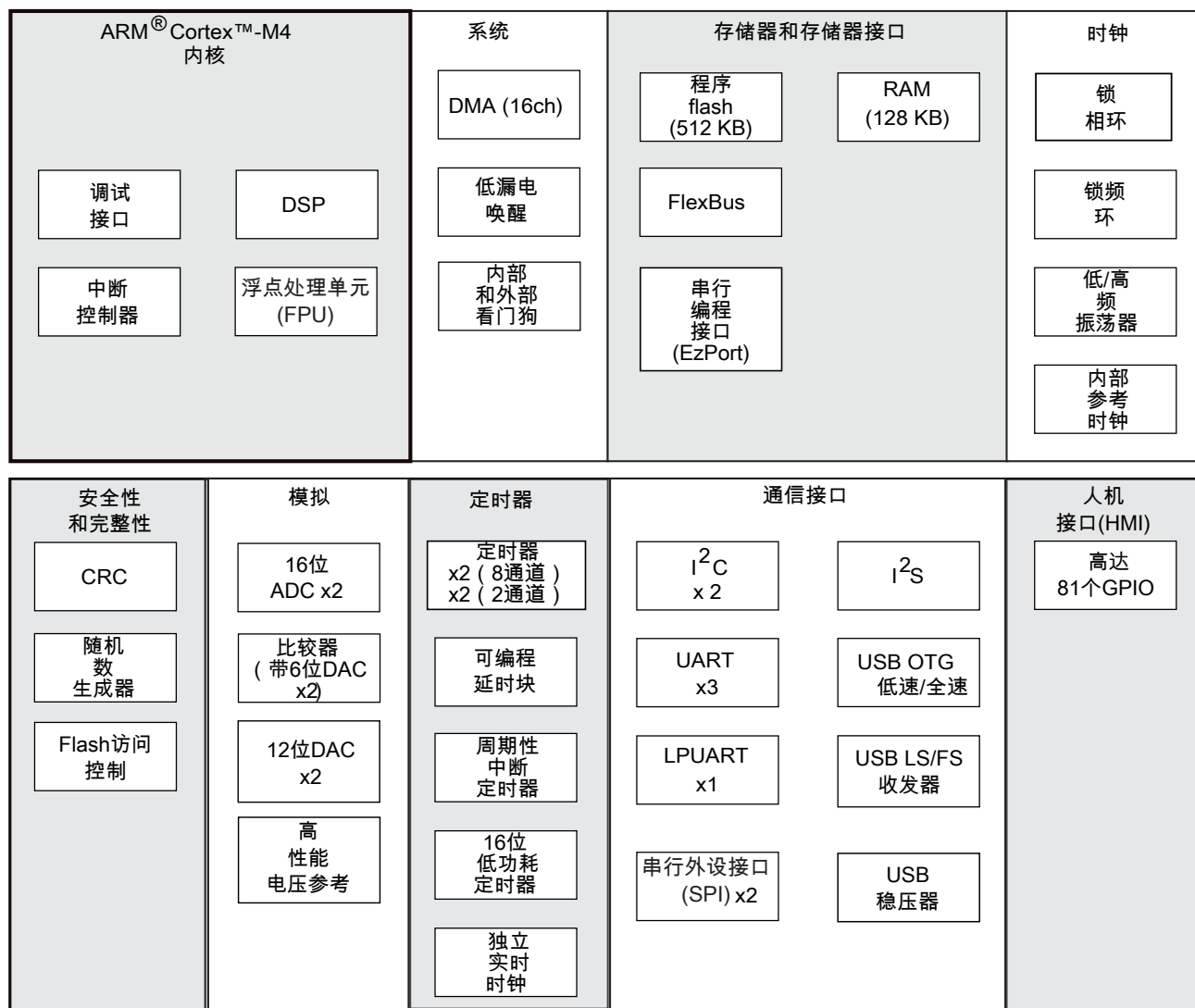


图 1. 功能结构框图

目录

1 极限参数.....	5	3.4 存储器和存储器接口.....	28
1.1 热处理参数.....	5	3.4.1 Flash 电气特性.....	28
1.2 湿度处理参数.....	5	3.4.2 EzPort 开关特性.....	30
1.3 ESD 操作额定参数.....	5	3.4.3 Flexbus 开关特性.....	31
1.4 电压和电流工作参数.....	5	3.5 安全性和完整性模块.....	34
2 通用.....	6	3.6 模拟.....	34
2.1 交流电气特性.....	6	3.6.1 ADC 电气特性.....	35
2.2 静态电气特性.....	6	3.6.2 CMP 和 6 位 DAC 的电气特性.....	39
2.2.1 电压和电流工作要求.....	6	3.6.3 12 位 DAC 电气特性.....	41
2.2.2 LVD 和 POR 工作要求.....	7	3.6.4 电压基准电气特性.....	44
2.2.3 电压和电流特性.....	8	3.7 定时器.....	45
2.2.4 功耗模式转换特性.....	9	3.8 通信接口.....	45
2.2.5 功耗特性.....	10	3.8.1 USB 电气特性.....	45
2.2.6 EMC 电磁辐射特性.....	15	3.8.2 USB VREG 电气特性.....	46
2.2.7 设计时需考虑电磁辐射.....	16	3.8.3 DSPI 开关特性（窄电压范围）.....	46
2.2.8 电容属性.....	16	3.8.4 DSPI 开关特性（全电压范围）.....	48
2.3 开关特性.....	16	3.8.5 I2C 总线时序.....	50
2.3.1 器件时钟特性.....	16	3.8.6 UART 开关特性.....	51
2.3.2 通用开关特性.....	17	3.8.7 I2S/SAI 开关特性.....	51
2.4 热学特性.....	17	4 尺寸.....	57
2.4.1 热学操作要求.....	18	4.1 获取封装尺寸.....	57
2.4.2 热学属性.....	18	5 引脚分配.....	58
3 外设工作要求与特性.....	19	5.1 K22F 信号多路复用和引脚分配.....	58
3.1 内核模块.....	19	5.2 K22 引脚分配.....	63
3.1.1 SWD 电气特性.....	19	6 器件标识.....	67
3.1.2 JTAG 电气特性.....	20	6.1 说明.....	67
3.2 系统模块.....	23	6.2 格式.....	67
3.3 时钟模块.....	23	6.3 字段.....	68
3.3.1 MCG 参数.....	23	6.4 示例.....	68
3.3.2 IRC48M 特性.....	25	6.5 121 引脚 XFBGA 器件标记.....	69
3.3.3 振荡器电气特性.....	26	6.6 64 引脚 MAPBGA 器件标记.....	69
3.3.4 32 kHz 振荡器电气特性.....	28	7 修订历史记录.....	69

1 极限参数

1.1 热处理参数

符号	说明	最小值	最大值	单位	注释
T _{STG}	存储温度	-55	150	°C	1
T _{SDR}	无铅焊接温度	—	260	°C	2

1. 根据 JEDEC 标准 JESD22-A103“高温存储时间”确定。
2. 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

1.2 湿度处理参数

符号	说明	最小值	最大值	单位	注释
MSL	湿度灵敏度等级	—	3	—	1

1. 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

1.3 ESD 操作额定参数

符号	说明	最小值	最大值	单位	注释
V _{HBM}	静电放电电压, 人体放电模式	-2000	+2000	V	1
V _{CDM}	静电放电电压, 设备充电模式	-500	+500	V	2
I _{LAT}	105°C 环境温度下的闭锁电流	-100	+100	mA	3

1. 根据 JEDEC 标准 JESD22-A114“静电放电(ESD)灵敏度测试人体放电模式(HBM)标准”确定。
2. 根据 JEDEC 标准 JESD22-C101“微电子组件静电放电耐压阈值的电场感应器件充电模式测试方法”确定。
3. 根据 JEDEC 标准 JESD78“IC 闩锁测试”确定。

1.4 电压和电流工作参数

符号	说明	最小值	最大值	单位
V _{DD}	数字供电电压	-0.3	3.8	V
I _{DD}	数字供电电流	—	169	mA

下一页继续介绍此表...

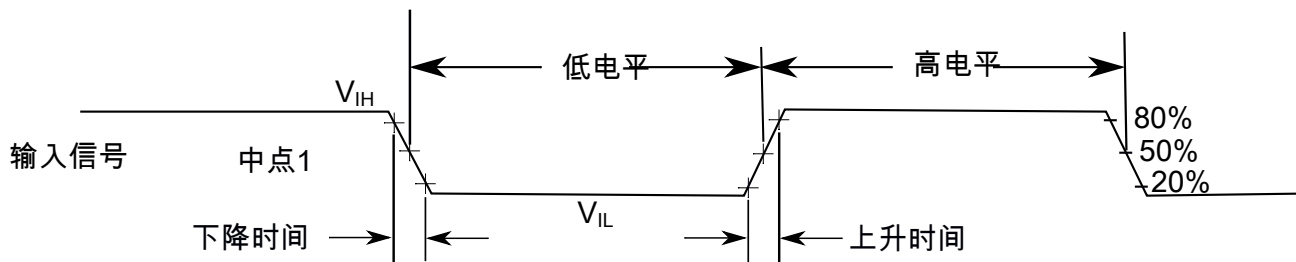
符号	说明	最小值	最大值	单位
V _{DIO}	数字输入电压	-0.3	V _{DD} + 0.3	V
V _{AIO}	模拟 ¹	-0.3	V _{DD} + 0.3	V
I _D	单引脚最大允许电流 (适用于所有数字引脚)	-25	25	mA
V _{DDA}	模拟供电电压	V _{DD} - 0.3	V _{DD} + 0.3	V
V _{USB0_DP}	USB0_DP 输入电压	-0.3	3.63	V
V _{USB0_DM}	USB0_DM 输入电压	-0.3	3.63	V
V _{REGIN}	USB 稳压器输入	-0.3	6.0	V
V _{BAT}	RTC 电池供电电压	-0.3	3.8	V

1. 模拟引脚是指与通用 I/O 端口功能无相关的引脚。

2 通用

2.1 交流电气特性

除非另有说明, 否则传输延迟在 50%到 50%点处测得, 上升时间和下降时间在 20%和 80%点处测得, 如下图所示。



$$\text{中点是 } V_{IL} + (V_{IH} - V_{IL}) / 2$$

图 2. 输入信号测量参考

2.2 静态电气特性

2.2.1 电压和电流工作要求

表 1. 电压和电流工作要求

符号	说明	最小值	最大值	单位	注释
V_{DD}	供电电压	1.71	3.6	V	
V_{DDA}	模拟供电电压	1.71	3.6	V	
$V_{DD} - V_{DDA}$	V_{DD} 至 V_{DDA} 差分电压	-0.1	0.1	V	
$V_{SS} - V_{SSA}$	V_{SS} 至 V_{SSA} 差分电压	-0.1	0.1	V	
V_{BAT}	RTC 电池供电电压	1.71	3.6	V	
V_{IH}	输入高电压 <ul style="list-style-type: none"> $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ $1.7\text{ V} \leq V_{DD} \leq 2.7\text{ V}$ 	$0.7 \times V_{DD}$ $0.75 \times V_{DD}$	— —	V V	
V_{IL}	输入低电压 <ul style="list-style-type: none"> $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ $1.7\text{ V} \leq V_{DD} \leq 2.7\text{ V}$ 	— —	$0.35 \times V_{DD}$ $0.3 \times V_{DD}$	V V	
V_{HYS}	输入迟滞	$0.06 \times V_{DD}$	—	V	
I_{ICIO}	模拟和 I/O 引脚直流注入电流 — 单引脚 <ul style="list-style-type: none"> $V_{IN} < V_{SS} - 0.3\text{V}$ (负电流注入) 	-3	—	mA	1
I_{ICcont}	连续引脚 DC 注入电流 — 区域限制, 包括 16 个连续引脚的负注入电流之和或正注入电流之和 <ul style="list-style-type: none"> 负电流注入 	-25	—	mA	
V_{ODPU}	开漏上拉电平	V_{DD}	V_{DD}	V	2
V_{RAM}	保持 RAM 数据所需的 V_{DD} 电压	1.2	—	V	
V_{RFVBAT}	保持 VBAT 寄存器文件所需的 V_{BAT} 电压	V_{POR_VBAT}	—	V	

- 所有模拟引脚和 I/O 引脚通过 ESD 保护二极管内部钳位至 V_{SS} 上。如果 V_{IN} 小于 V_{IO_MIN} 或大于 V_{IO_MAX} , 则此处需要限流电阻。负直流注入电流的限流电阻计算公式是: $R = (V_{IO_MIN} - V_{IN}) / |I_{ICIO}|$ 。
- 开漏输出必须上拉至 V_{DD} 。

2.2.2 LVD 和 POR 工作要求

表 2. V_{DD} 电源 LVD 和 POR 工作要求

符号	说明	最小值	典型值	最大值	单位	注释
V_{POR}	V_{DD} 电压下降 POR 检测电压	0.8	1.1	1.5	V	
V_{LVDH}	电压降低电压检测门限— 高范围 (LVDV=01)	2.48	2.56	2.64	V	
V_{LVW1H}	低压警告阈值 — 高范围 <ul style="list-style-type: none"> 1 级压降 (LVWV=00) 	2.62	2.70	2.78	V	1
V_{LVW2H}	<ul style="list-style-type: none"> 2 级压降 (LVWV=01) 	2.72	2.80	2.88	V	

下一页继续介绍此表...

表 2. V_{DD} 电源 LVD 和 POR 工作要求 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
V _{LVW3H}	• 3 级压降 (LVWV=10)	2.82	2.90	2.98	V	
V _{LVW4H}	• 4 级压降 (LVWV=11)	2.92	3.00	3.08	V	
V _{HYSH}	低压抑制复位/恢复迟滞 — 高范围	—	80	—	mV	
V _{LVDL}	电压降低电压检测门限 — 低范围(LVDV=00)	1.54	1.60	1.66	V	
V _{LVW1L}	低压警告阈值 — 低范围 • 1 级压降 (LVWV=00)	1.74	1.80	1.86	V	1
V _{LVW2L}	• 2 级压降 (LVWV=01)	1.84	1.90	1.96	V	
V _{LVW3L}	• 3 级压降 (LVWV=10)	1.94	2.00	2.06	V	
V _{LVW4L}	• 4 级压降 (LVWV=11)	2.04	2.10	2.16	V	
V _{HYSL}	低压抑制复位/恢复迟滞 — 低范围	—	60	—	mV	
V _{BG}	带隙电压参考	0.97	1.00	1.03	V	
t _{LPO}	内部低功耗振荡器周期 — 工厂调整	900	1000	1100	μs	

1. 上升阈值是下降阈值与迟滞电压之和

表 3. V_{BAT} 电源工作要求

符号	说明	最小值	典型值	最大值	单位	注释
V _{POR_VBAT}	V _{BAT} 供电电压下降 POR 检测电压	0.8	1.1	1.5	V	

2.2.3 电压和电流特性

表 4. 电压和电流特性

符号	说明	最小值	典型值	最大值	单位	注释
V _{OH}	输出高电压 — 常规驱动管脚 (RESET_B 除外) 2.7 V ≤ V _{DD} ≤ 3.6 V, I _{OH} = -5 mA 1.71 V ≤ V _{DD} ≤ 2.7 V, I _{OH} = -2.5 mA	V _{DD} - 0.5 V _{DD} - 0.5	— —	— —	V V	1
V _{OH}	输出高压 — 高电平驱动管脚 (RESET_B 除外) 2.7 V ≤ V _{DD} ≤ 3.6 V, I _{OH} = -20 mA 1.71 V ≤ V _{DD} ≤ 2.7 V, I _{OH} = -10 mA	V _{DD} - 0.5 V _{DD} - 0.5	— —	— —	V V	1
I _{OHT}	所有端口的总输出高电流	—	—	100	mA	
V _{OL}	输出低电压 — 常规驱动管脚 (RESET_B 除外) 2.7 V ≤ V _{DD} ≤ 3.6 V, I _{OL} = 5 mA 1.71 V ≤ V _{DD} ≤ 2.7 V, I _{OL} = 2.5 mA	— —	— —	0.5 0.5	V V	1
V _{OL}	输出低压 — 高电平驱动管脚 (RESET_B 除外) 2.7 V ≤ V _{DD} ≤ 3.6 V, I _{OL} = 20 mA 1.71 V ≤ V _{DD} ≤ 2.7 V, I _{OL} = 10 mA	— —	— —	0.5 0.5	V V	1

下一页继续介绍此表...

表 4. 电压和电流特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
V _{OL}	输出低电压 — RESET_B					
	2.7 V ≤ V _{DD} ≤ 3.6 V, I _{OL} = 3 mA	—	—	0.5	V	
	1.71 V ≤ V _{DD} ≤ 2.7 V, I _{OL} = 1.5 mA	—	—	0.5	V	
I _{OLT}	所有端口的总输出低电流	—	—	100	mA	
I _{IN}	全温度范围内的输入漏电流 (每引脚)					
	除高驱动端以外的所有引脚	—	0.002	0.5	μA	1, 2
	高驱动端引脚	—	0.004	0.5	μA	
I _{IN}	全温度范围的输入漏电流 (所有引脚的总值)	—	—	1.0	μA	2
R _{PU}	内部上拉电阻	20	—	50	kΩ	3
R _{PD}	内部下拉电阻	20	—	50	kΩ	4

1. PTB0、PTB1、PTC3、PTC4、PTD4、PTD5、PTD6 和 PTD7 I/O 同时具有高驱动和常规驱动能力，由相关的 PTx_PCRn[DSE]控制位进行选择。所有其他 GPIO 都只有常规驱动能力。
2. 在 V_{DD} = 3.6 V 的条件下测定
3. 在 V_{DD} 供电电压 = V_{DD} (最小值) 且 V_{input} = V_{SS} 时测量
4. 在 V_{DD} 电源电压 = V_{DD} (最小值) 且 V_{input} = V_{DD} 时测量

2.2.4 功耗模式转换特性

下表中，除 t_{POR} 和 VLLS_X→RUN 恢复时间外的所有特性均假定时钟配置如下：

- CPU 和系统时钟 = 80 MHz
- 总线时钟 = 40 MHz
- FlexBus 时钟 = 20 MHz
- Flash 时钟 = 20 MHz
- MCG 模式：FEI

表 5. 功耗模式转换特性

符号	说明	最小值	典型值	最大值	单位	注释
t _{POR}	POR 事件后，芯片工作温度范围内从 V _{DD} 达到 1.71 V 到执行第一条指令所需的时间。	—	—	300	μs	1
	• VLLS0 → RUN	—	—	140	μs	
	• VLLS1 → RUN	—	—	140	μs	
	• VLLS2 → RUN	—	—	80	μs	
	• VLLS3 → RUN	—	—	80	μs	

下一页继续介绍此表...

表 5. 功耗模式转换特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	• LLS2 → RUN	—	—	6	μs	
	• LLS3 → RUN	—	—	6	μs	
	• VLPS → RUN	—	—	5.7	μs	
	• STOP → RUN	—	—	5.7	μs	

1. 正常引导 (FTFA_OPT[LPBOOT]=1)

2.2.5 功耗特性

除非另有说明，下表中的电流参数均为从 Flash 执行 while(1) 循环代码所得。

除非另有规定，否则 IDD 典型值表示的是 25°C 时的统计平均值，且 RUN、WAIT、VLPR 和 VLPW 的 IDD 最大值表示的是 125°C 结温时收集到的数据。最大值表示相当于均值加上三倍标准偏差的表征结果 (均值 + 3 倍标准差)。

表 6. 功耗特性

符号	说明	最小值	典型值	最大值	单位	注释
I _{DDA}	模拟供电电流	—	—	参见注释	mA	1
I _{DD_HSRUN}	HSRUN 模式电流 — 禁用所有外设时钟，从 Flash 执行 CoreMark 基准代码					
	@ 1.8 V	—	28.0	29.33	mA	2, 3, 4
	@ 3.0 V	—	28.0	29.33	mA	
I _{DD_HSRUN}	HSRUN 模式电流 — 禁用所有外设时钟，从 Flash 执行代码					
	@ 1.8 V	—	25.6	26.93	mA	2
	@ 3.0 V	—	25.7	27.03	mA	
I _{DD_HSRUN}	HSRUN 模式电流 — 启用所有外设时钟，从 Flash 执行代码					
	@ 1.8 V	—	35.5	36.83	mA	5
	@ 3.0 V	—	35.6	36.93	mA	
I _{DD_RUN}	计算过程中的 RUN 模式电流 — 从 Flash 执行 CoreMark 基准代码					
	@ 1.8 V	—	17.5	18.83	mA	3, 4, 6
	@ 3.0 V	—	17.5	18.83	mA	

下一页继续介绍此表...

表 6. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
I _{DD_RUN}	计算过程中的 RUN 模式电流 — 从 Flash 执行代码 @ 1.8 V @ 3.0 V	—	15.10	17.10	mA	6
		—	15.10	17.33	mA	
I _{DD_RUN}	RUN 模式电流 — 禁用所有外设时钟, 从 Flash 执行代码 @ 1.8 V @ 3.0 V	—	16.6	17.93	mA	7
		—	16.8	18.13	mA	
I _{DD_RUN}	RUN 模式电流 — 启用所有外设时钟, 从 Flash 执行代码 @ 1.8 V @ 3.0 V • @ 25°C • @ 70°C • @ 85°C • @ 105°C	—	22.8	24.13	mA	8
		—	22.9	24.23	mA	
		—	23.1	24.43	mA	
		—	23.5	24.83	mA	
		—	23.8	25.13	mA	
I _{DD_RUN}	RUN 模式电流 — 有运算操作, 从 Flash 执行代码 @ 1.8 V @ 3.0 V • @ 25°C • @ 70°C • @ 85°C • @ 105°C	—	15.1	16.43	mA	9
		—	15.1	16.43	mA	
		—	15.4	16.73	mA	
		—	15.6	16.93	mA	
		—	16.0	17.33	mA	
I _{DD_WAIT}	3.0 V 电压下的待机模式高频电流 — 所有外设时钟均禁用	—	9.3	10.63	mA	7
I _{DD_WAIT}	3.0 V 电压下的待机模式降频电流 — 所有外设时钟均禁用	—	5.4	6.73	mA	10
I _{DD_VLPR}	计算过程中的 VLPR 模式电流 — 从 Flash 执行 CoreMark 基准代码 @ 1.8 V @ 3.0 V	—	0.88	1.02	mA	3, 4, 11
		—	0.89	1.03	mA	
I _{DD_VLPR}	计算过程中的 VLPR 模式电流, 从 Flash 执行代码 @ 1.8 V @ 3.0 V	—	0.62	0.77	mA	11
		—	0.63	0.77	mA	
I _{DD_VLPR}	3.0 V 电压下的 VLPR 模式电流 — 所有外设时钟均禁用	—	0.76	0.90	mA	12
I _{DD_VLPR}	3.0 V 电压下的 VLPR 模式电流 — 所有外设时钟均使能	—	1.2	1.34	mA	13

下一页继续介绍此表...

表 6. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释	
I _{DD_VLPW}	3.0 V 时的 VLPW 模式电流 — 所有外设时钟禁用	—	0.45	0.59	mA	14	
I _{DD_STOP}	STOP 模式电流, 在 3.0 V 的电压下						
	@ -40°C 至 25°C	—	0.28	0.37	mA		
	@ 70°C	—	0.34	0.51	mA		
	@ 85°C	—	0.38	0.55	mA		
I _{DD_VLPS}	VLPS 模式电流, 在 3.0 V 时						
	@ -40°C 至 25°C	—	8.7	18.10	μA		
	@ 70°C	—	31.1	79.55	μA		
	@ 85°C	—	50.3	110.15	μA		
I _{DD_VLPS}	@ 105°C	—	98.6	238.30	μA		
	I _{DD_LLS3}	LLS3 模式电流, 在 3.0 V 时					
		@ -40°C 至 25°C	—	3.8	5.65	μA	
		@ 70°C	—	12.5	28.75	μA	
@ 85°C		—	20.2	47.60	μA		
I _{DD_LLS3}	@ 105°C	—	39.5	91.25	μA		
	I _{DD_LLS2}	LLS2 模式电流, 在 3.0 V 时					
		@ -40°C 至 25°C	—	3.0	4.10	μA	
		@ 70°C	—	7.8	16.40	μA	
@ 85°C		—	12.3	30.15	μA		
I _{DD_LLS2}	@ 105°C	—	23.6	55.30	μA		
	I _{DD_VLLS3}	VLLS3 模式电流, 在 3.0 V 时					
		@ -40°C 至 25°C	—	2.8	3.95	μA	
		@ 70°C	—	9.5	21.25	μA	
@ 85°C		—	15.3	34.65	μA		
I _{DD_VLLS3}	@ 105°C	—	30.1	66.05	μA		
	I _{DD_VLLS2}	VLLS2 模式电流, 在 3.0 V 时					
		@ -40°C 至 25°C	—	1.9	2.45	μA	
		@ 70°C	—	4.5	8.50	μA	
@ 85°C		—	6.8	12.15	μA		
I _{DD_VLLS2}	@ 105°C	—	13.0	25.50	μA		
	I _{DD_VLLS1}	VLLS1 模式电流, 在 3.0 V 时					
		@ -40°C 至 25°C	—	0.73	1.42	μA	
		@ 70°C	—	1.8	3.90	μA	
@ 85°C		—	3.0	5.25	μA		
I _{DD_VLLS1}	@ 105°C	—	5.9	10.80	μA		
	I _{DD_VLLS0}	3.0 V 时的 VLLS0 模式电流, 启用 POR 检测电路。					
		@ -40°C 至 25°C	—	0.43	0.55	μA	

下一页继续介绍此表...

表 6. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	@ 70°C @ 85°C @ 105°C	— — —	1.4 2.6 5.4	2.45 4.00 9.30	μA μA μA	
I _{DD_VLLS0}	3.0 V 时的 VLLS0 模式电流, 禁用 POR 检测电路。 @ -40°C 至 25°C @ 70°C @ 85°C @ 105°C	— — — —	0.14 1.1 2.3 5.1	0.24 2.15 3.85 9.00	μA μA μA μA	
I _{DD_VBAT}	在 3.0 V 禁用 RTC 和 32 kHz 时的平均电流 @ -40°C 至 25°C @ 70°C @ 85°C @ 105°C	— — — —	0.18 0.66 1.52 2.92	0.21 0.86 2.24 4.30	μA μA μA μA	
I _{DD_VBAT}	CPU 未访问 RTC 寄存器时的平均电流 @ 1.8 V • @ -40°C 至 25°C • @ 70°C • @ 85°C • @ 105°C @ 3.0 V • @ -40°C 至 25°C • @ 70°C • @ 85°C • @ 105°C	— — — — — — — —	0.59 1.00 1.76 3.00 0.71 1.22 2.08 3.50	0.70 1.3 2.59 4.42 0.84 1.59 3.06 5.15	μA μA μA μA μA μA μA μA	15

1. 模拟供电电流等于器件上每个模拟模块的工作或禁用电流之和。有关其供电电流请参见每个模块的特性。
2. 120 MHz 内核和系统时钟、60 MHz 总线时钟、24 MHz FlexBus 时钟和 24 MHz Flash 时钟。MCG 配置为 PEE 模式。禁用所有外设时钟。
3. 基于低级别编译优化进行缓存和预取
4. 通过 IAR 7.2 以低优化级别编译 CoreMark 基准代码
5. 120 MHz 内核和系统时钟、60 MHz 总线时钟、24 MHz FlexBus 时钟和 24 MHz Flash 时钟。MCG 配置为 PEE 模式。启用所有外设时钟。
6. 80 MHz 内核及系统时钟、40 MHz 总线时钟和 26.67 MHz Flash 时钟。MCG 配置为 PEE 模式。有运算操作。
7. 80 MHz 内核和系统时钟、40 MHz 总线时钟、20MHz FlexBus 时钟和 26.67 MHz Flash 时钟。MCG 配置为 FEI 模式。禁用所有外设时钟。
8. 80 MHz 内核和系统时钟、40 MHz 总线时钟、20MHz FlexBus 时钟和 26.67 MHz Flash 时钟。MCG 配置为 FEI 模式。启用所有外设时钟。
9. 80 MHz 内核和系统时钟、40 MHz 总线时钟和 26.67 MHz Flash 时钟。MCG 配置为 FEI 模式。有运算操作。
10. 25 MHz 内核及系统时钟, 25 MHz 总线时钟和 25 MHz FlexBus 及 Flash 时钟。MCG 配置为 FEI 模式。
11. 4 MHz 内核、系统、FlexBus 及总线时钟和 1 MHz Flash 时钟。MCG 配置为 BLPE 模式。有运算操作。从 Flash 执行代码。

12. 4 MHz 内核、系统、FlexBus 及总线时钟和 1 MHz Flash 时钟。MCG 配置为 BLPE 模式。禁用所有外设时钟。从 Flash 执行代码。
13. 4 MHz 内核、系统、FlexBus 及总线时钟和 1 MHz Flash 时钟。MCG 配置为 BLPE 模式。启用所有外设时钟，但外设未处于工作状态。从 Flash 执行代码。
14. 4 MHz 内核、系统、FlexBus 及总线时钟和 1 MHz Flash 时钟。MCG 配置为 BLPE 模式。禁用所有外设时钟。
15. 包括 32 kHz 振荡器电流和 RTC 操作。

2.2.5.1 示意图: 典型 IDD_RUN 工作特性

下面的数据是在以下条件下测定的:

- MCG 处于 FBE 模式，频率为 50 MHz 或更低。MCG 处于 FEE 模式，频率在 50 MHz 至 100MHz 之间。MCG 处于 PEE 模式，频率大于 100 MHz。
- USB 稳压器禁用
- 无 GPIO 切换
- 从 Flash 执行代码且使能高速缓存
- 对于 ALLOFF 曲线，禁用除 FTFA 外的全部外设时钟

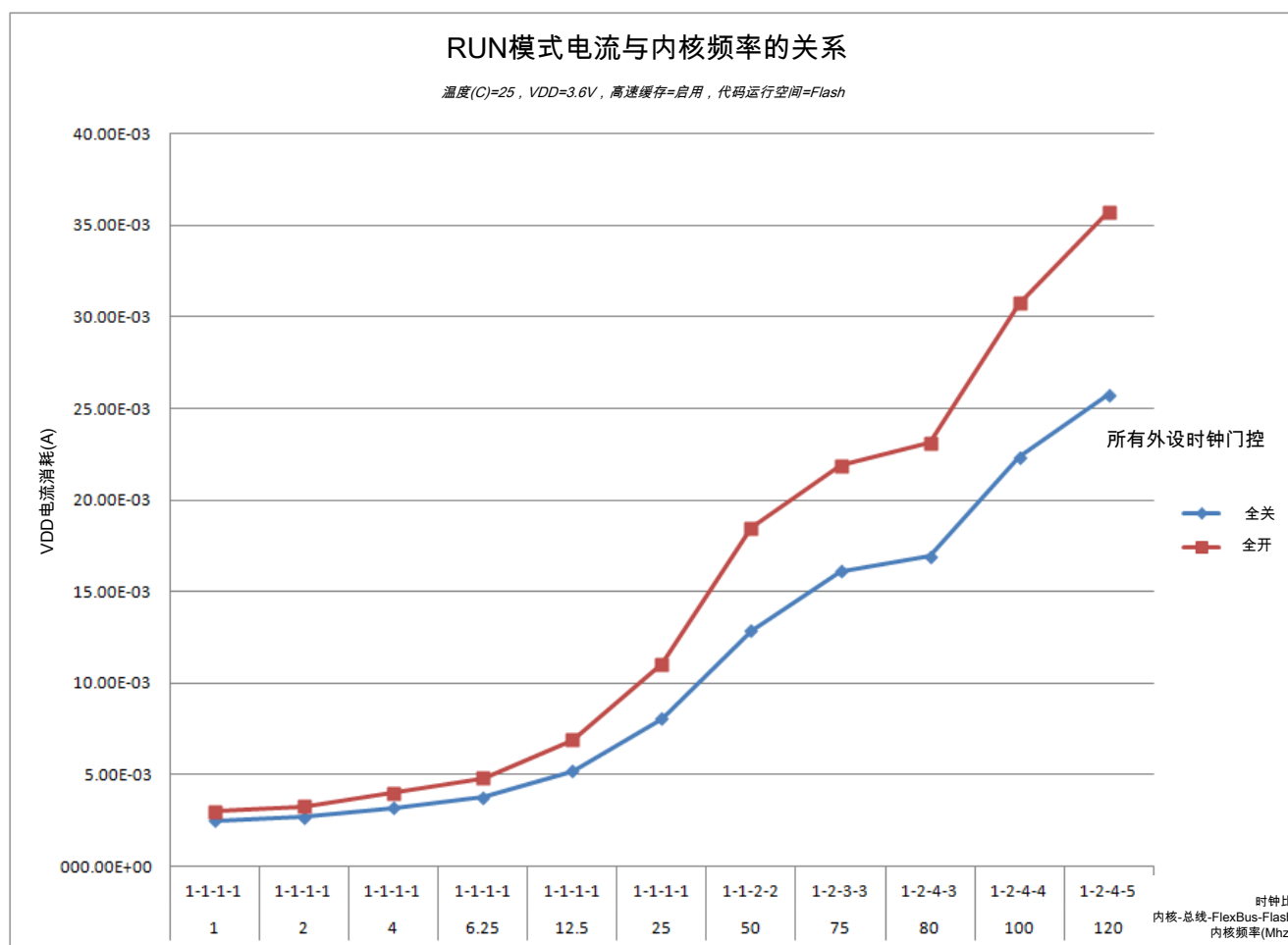


图 3. RUN 模式供电电流与内核频率

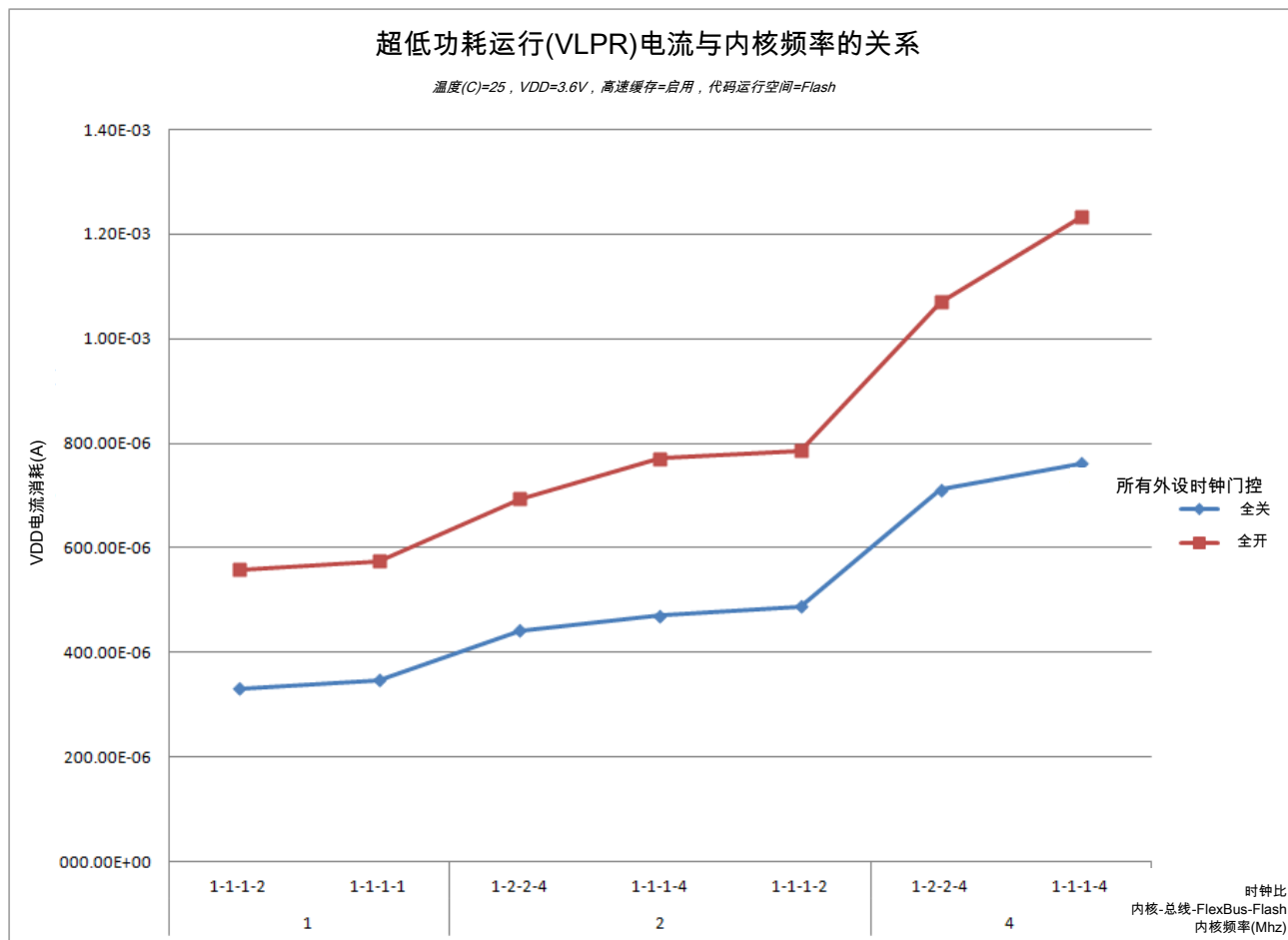


图 4. VLPR 模式电源电流与内核频率的关系

2.2.6 EMC 电磁辐射特性

表 7. 64 引脚 LQFP 封装的 EMC 电磁辐射特性

参数	条件	时钟	频率范围	级别 (典型值)	单位	注释
V _{EME}	根据 IEC 61967-2 标准进行器件配置、测试条件和 EM 测试。 电源电压: • VREGIN (USB) = 5.0 V • VDD = 3.3 V 温度 = 25°C	FSYS = 120 MHz FBUS = 60 MHz 外部晶体 = 8 MHz	150 kHz–50 MHz	14	dBuV	1, 2, 3
			50 MHz–150 MHz	23		
			150 MHz–500 MHz	23		
			500 MHz–1000 MHz	9		
			IEC 级别	L		4

- 当器件正运行典型应用程序代码时根据 IEC 61967-2 进行测量。
- 在 64LQFP 器件 MK22FN512VLH12 上执行测量。

3. 报告的辐射级别为测定的最大辐射值，从每个频率范围的测定方向，向上舍入到下一个整数。
4. IEC 级别最大值：M ≤ 18dBmV、L ≤ 24dBmV、K ≤ 30dBmV、I ≤ 36dBmV、H ≤ 42dBmV。

2.2.7 设计时需考虑电磁辐射

如果需要查找应用笔记，以便于指导系统设计以最大限度减少电磁辐射干扰。

1. 请访问 www.freescale.com。
2. 输入“EMC design”执行关键字搜索。

2.2.8 电容属性

表 8. 电容属性

符号	说明	最小值	最大值	单位
C _{IN_A}	输入电容：模拟引脚	—	7	pF
C _{IN_D}	输入电容：数字引脚	—	7	pF

2.3 开关特性

2.3.1 器件时钟特性

表 9. 器件时钟特性

符号	说明	最小值	最大值	单位	附注
HSRUN 模式					
f _{SYS}	系统和内核时钟	—	120	MHz	
f _{BUS}	总线时钟	—	60	MHz	
NORMAL RUN 模式（和 HSRUN 模式，除非上文中另有说明）					
f _{SYS}	系统和内核时钟	—	80	MHz	
f _{SYS_USB}	采用全速 USB 时的系统和内核时钟	20	—	MHz	
f _{BUS}	总线时钟	—	50	MHz	
FB_CLK	FlexBus 时钟	—	30	MHz	
f _{FLASH}	Flash 时钟	—	26.67	MHz	
f _{LPTMR}	LPTMR 时钟	—	25	MHz	
VLPR 模式 ¹					
f _{SYS}	系统和内核时钟	—	4	MHz	
f _{BUS}	总线时钟	—	4	MHz	

下一页继续介绍此表...

表 9. 器件时钟特性 (继续)

符号	说明	最小值	最大值	单位	附注
FB_CLK	FlexBus 时钟	—	4	MHz	
f _{FLASH}	Flash 时钟	—	1	MHz	
f _{ERCLK}	外部参考时钟	—	16	MHz	
f _{LPTMR_pin}	LPTMR 时钟	—	25	MHz	
f _{LPTMR_ERCLK}	LPTMR 外部参考时钟	—	16	MHz	
f _{I2S_MCLK}	I2S 主时钟	—	12.5	MHz	
f _{I2S_BCLK}	I2S 位时钟	—	4	MHz	

1. 这里介绍的有关 VLPR 模式下的频率限制，优先于其他任何模块的时序特性中列出的频率特性。

2.3.2 通用开关特性

下列通用特性适用于为 GPIO、UART 和定时器进行配置的所有信号。

表 10. 通用开关特性

符号	说明	最小值	最大值	单位	注释
	GPIO 引脚中断脉冲宽度（数字毛刺滤波器禁用）— 同步路径	1.5	—	总线时钟周期	1, 2
	外部 reset_b 和 NMI 引脚中断脉冲宽度 — 异步路径	100	—	ns	3
	GPIO 引脚中断脉冲宽度（禁用数字毛刺滤波器，禁用无源滤波器）— 异步路径	50	—	ns	4
	复位接触断言后的模式选择(EZP_CS)保持时间	2	—	总线时钟周期	
	端口上升和下降时间				5
	<ul style="list-style-type: none"> • 禁用压摆率参数 <ul style="list-style-type: none"> • $1.71 \leq V_{DD} \leq 2.7 \text{ V}$ • $2.7 \leq V_{DD} \leq 3.6 \text{ V}$ • 启用压摆率参数 <ul style="list-style-type: none"> • $1.71 \leq V_{DD} \leq 2.7 \text{ V}$ • $2.7 \leq V_{DD} \leq 3.6 \text{ V}$ 	—	—		
		—	10	ns	
		—	5	ns	
		—	—		
		—	30	ns	
		—	16	ns	

1. 这是保证可通过引脚同步电路的最短脉冲宽度。低于该宽度的脉冲有可能不被识别。在 STOP 模式、VLPS、LLS 和 VLLSx 各模式中将避开同步器，所以可识别更短的脉冲。
2. 必须满足更高的同步和异步时序要求。
3. 这些引脚在输入端启用了无源滤波器。这是保证可识别的最短脉冲宽度。
4. 这些引脚在输入端没有无源滤波器。这是保证可识别的最短脉冲宽度。
5. 25 pF 负载

2.4 热学特性

2.4.1 热学操作要求

表 11. 热学操作要求

符号	说明	最小值	最大值	单位	注释
T_J	裸片结温	-40	125	°C	
T_A	环境温度	-40	105	°C	1

1. 仅当用户确保 T_J 不会超过最大 T_J 时才可超过最大 T_A 。确定 T_J 的最简单方法是： $T_J = T_A + \Theta_{JA} \times$ 芯片功耗。

2.4.2 热学属性

板类型	符号	说明	121 XFBGA	100 LQFP	64 LQFP	64 MAPBGA	单位	附注
单层(1S)	$R_{\theta JA}$	热阻, 连接到外部环境 (自然对流)	44.4	61	67	95.7	°C/W	1
四层(2s2p)	$R_{\theta JA}$	热阻, 连接到外部环境 (自然对流)	27.0	48	48	48.8	°C/W	2
单层(1S)	$R_{\theta JMA}$	热阻, 连接到外部环境 (空气速率为 200 英尺/分钟)	37.2	51	55	74.4	°C/W	3
四层(2s2p)	$R_{\theta JMA}$	热阻, 连接到外部环境 (空气速率为 200 英尺/分钟)	23.7	42	42	44.0	°C/W	3
—	$R_{\theta JB}$	热阻, 连接到板	23.5	34	31	30.3	°C/W	4
—	$R_{\theta JC}$	热阻, 连接到管壳	17.4	16	16	28.0	°C/W	5
—	Ψ_{JT}	热特性参数, 连接到外封装顶部中心 (自然对流)	0.2	3	3	1.0	°C/W	6

1. 根据 JEDEC 标准 JESD51-2“集成电路热测试方法的环境条件—自然对流 (静止空气)”, 采用单层板水平面确定。板应符合 JESD51-9 规范。
2. 根据 JEDEC 标准 JESD51-2“集成电路热测试方法的环境条件—自然对流 (静止空气)”确定。
3. 根据 JEDEC 标准 JESD51-6“集成电路热测试方法的环境条件—强制对流 (运动空气)”, 采用水平面确定。
4. 根据 JEDEC 标准 JESD51-8“集成电路热测试方法的环境条件—连接到电路板”确定。
5. 通过冷板方法测量裸片和管壳顶面之间的热阻 (MIL SPEC-883 Method 1012.1)。

6. 基于 JEDEC JESD51-2 标准，热特性参数表示封装顶部和结温度之间的温差。

3 外设工作要求与特性

3.1 内核模块

3.1.1 SWD 电气特性

表 12. SWD 全电压范围电气特性

符号	说明	最小值	最大值	单位
	工作电压	1.71	3.6	V
S1	SWD_CLK 操作频率 • 串行线调试	0	33	MHz
S2	SWD_CLK 周期	1/S1	—	ns
S3	SWD_CLK 时钟脉宽 • 串行线调试	15	—	ns
S4	SWD_CLK 上升和下降时间	—	3	ns
S9	SWD_DIO SWD_CLK 上升前的输入数据建立时间	8	—	ns
S10	SWD_DIO SWD_CLK 上升后的输入数据保持时间	1.4	—	ns
S11	SWD_CLK 高电平至 SWD_DIO 数据有效时间	—	25	ns
S12	SWD_CLK 高电平至 SWD_DIO 高阻态时间	5	—	ns

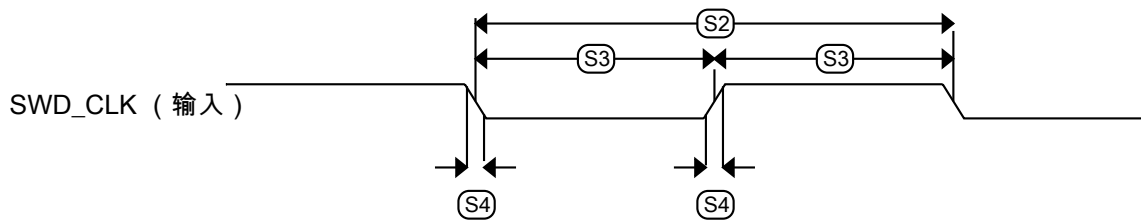


图 5. 串行线时钟输入时序

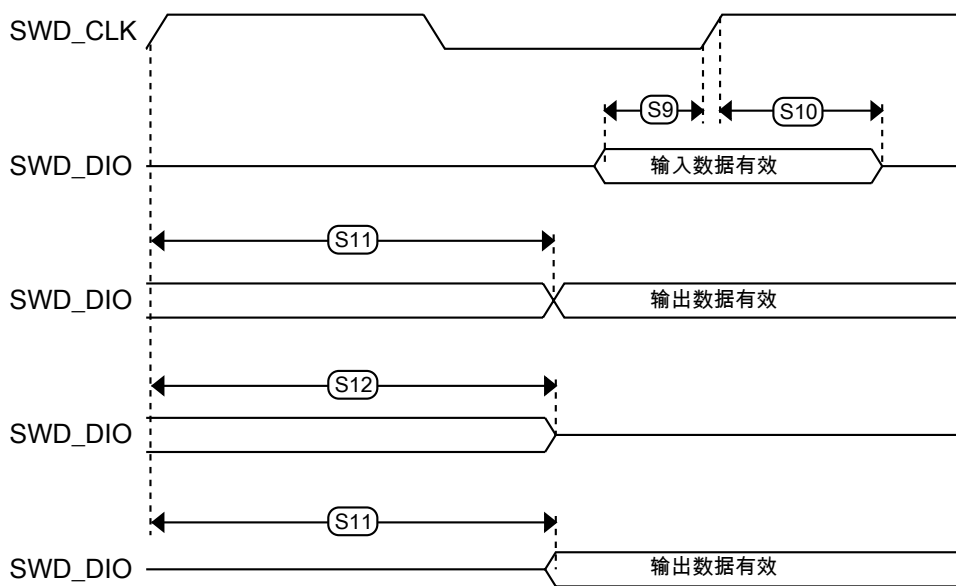


图 6. 串行线数据时序

3.1.2 JTAG 电气特性

表 13. JTAG 窄电压范围电气特性

符号	说明	最小值	最大值	单位
	工作电压	2.7	3.6	V
J1	TCLK 操作频率 • 边界扫描 • JTAG 和 CJTAG	0 0	10 20	MHz
J2	TCLK 周期	1/J1	—	ns
J3	TCLK 时钟脉宽 • 边界扫描 • JTAG 和 CJTAG	50 25	— —	ns ns
J4	TCLK 上升和下降时间	—	3	ns
J5	TCLK 上升前边界扫描输入数据的建立时间	20	—	ns
J6	TCLK 上升后边界扫描输入数据的保持时间	1	—	ns
J7	TCLK 低电平至边界扫描输出数据有效的的时间	—	25	ns
J8	TCLK 低电平至边界扫描输出高阻态的时间	—	25	ns
J9	TCLK 上升前 TMS、TDI 输入数据的建立时间	8	—	ns

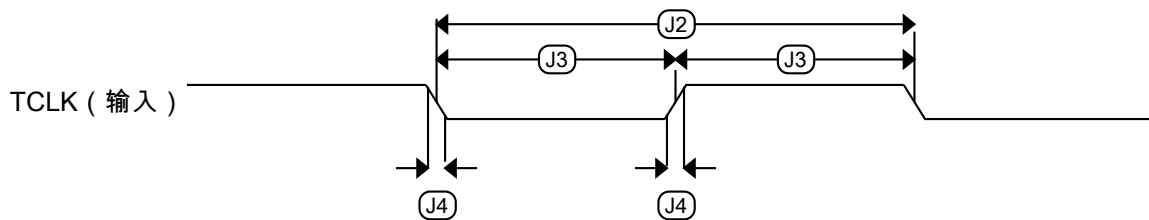
下一页继续介绍此表...

表 13. JTAG 窄电压范围电气特性 (继续)

符号	说明	最小值	最大值	单位
J10	TCLK 上升后 TMS、TDI 输入数据的保持时间	1	—	ns
J11	TCLK 低电平至 TDO 数据有效的的时间	—	19	ns
J12	TCLK 低电平至 TDO 高阻态的时间	—	19	ns
J13	$\overline{\text{TRST}}$ 有效时间	100	—	ns
J14	$\overline{\text{TRST}}$ 建立时间 (取反) 至 TCLK 高电平	8	—	ns

表 14. JTAG 全电压范围电气特性

符号	说明	最小值	最大值	单位
	工作电压	1.71	3.6	V
J1	TCLK 操作频率 • 边界扫描 • JTAG 和 CJTAG	0 0	10 15	MHz
J2	TCLK 周期	1/J1	—	ns
J3	TCLK 时钟脉宽 • 边界扫描 • JTAG 和 CJTAG	50 33	— —	ns ns
J4	TCLK 上升和下降时间	—	3	ns
J5	TCLK 上升前边界扫描输入数据的建立时间	20	—	ns
J6	TCLK 上升后边界扫描输入数据的保持时间	1.4	—	ns
J7	TCLK 低电平至边界扫描输出数据有效的的时间	—	27	ns
J8	TCLK 低电平至边界扫描输出高阻态的时间	—	27	ns
J9	TCLK 上升前 TMS、TDI 输入数据的建立时间	8	—	ns
J10	TCLK 上升后 TMS、TDI 输入数据的保持时间	1.4	—	ns
J11	TCLK 低电平至 TDO 数据有效的的时间	—	26.2	ns
J12	TCLK 低电平至 TDO 高阻态的时间	—	26.2	ns
J13	$\overline{\text{TRST}}$ 有效时间	100	—	ns
J14	$\overline{\text{TRST}}$ 建立时间 (取反) 至 TCLK 高电平	8	—	ns


图 7. 测试时钟输入时序

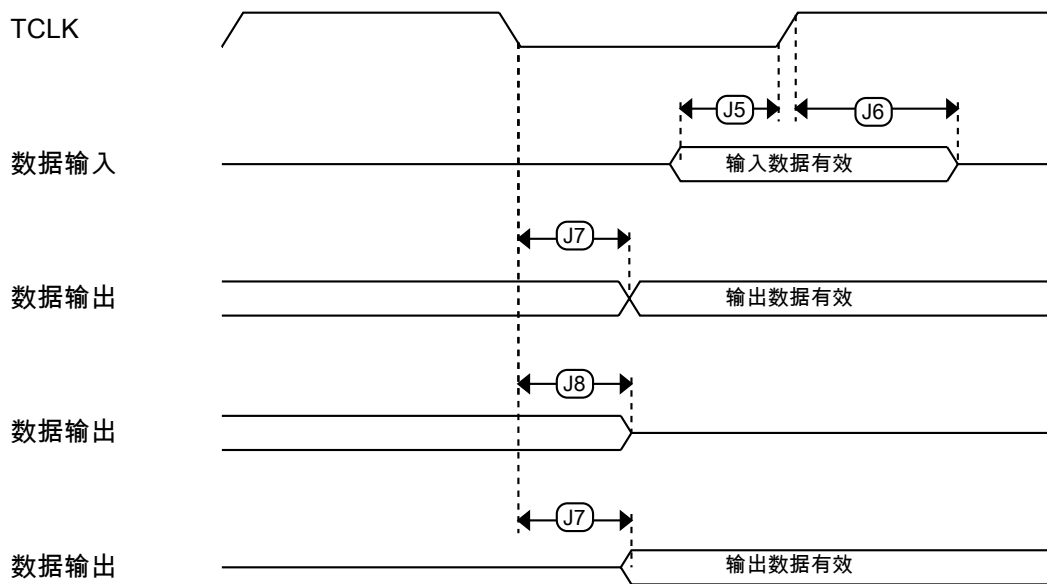


图 8. 边界扫描(JTAG)时序

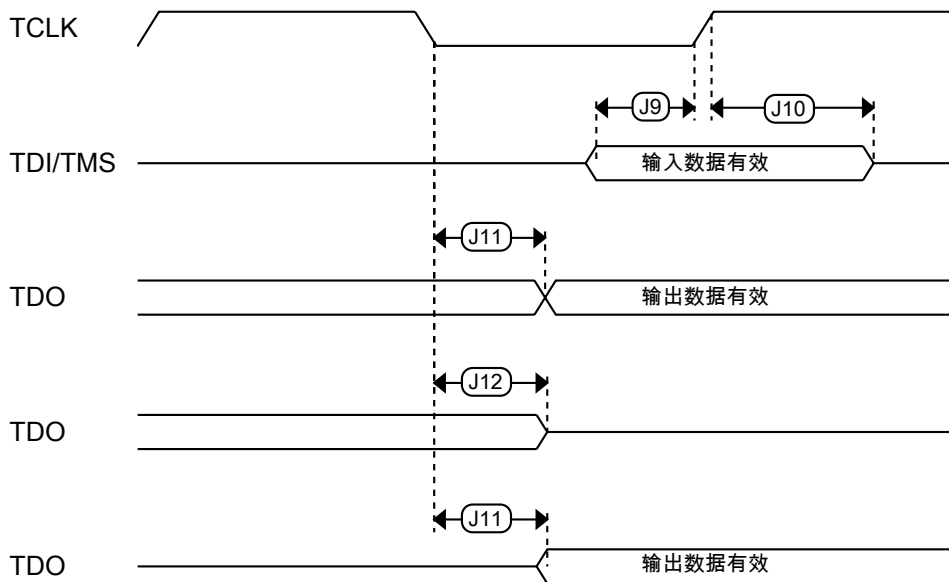


图 9. 测试访问端口的时序

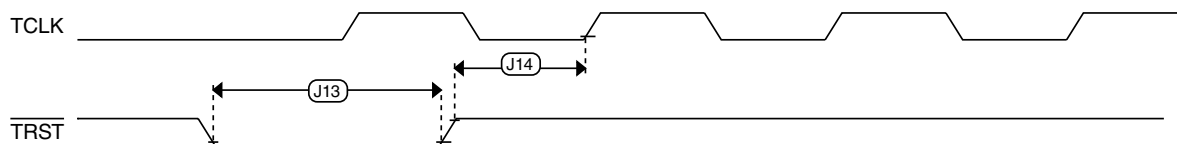


图 10. TRST 时序

3.2 系统模块

对于器件的系统模块，无特性要求。

3.3 时钟模块

3.3.1 MCG 参数

表 15. MCG 参数

符号	说明	最小值	典型值	最大值	单位	注释
f_{ints_ft}	内部参考频率（慢速时钟）— 出厂时已在标称 VDD 和 25 °C 条件下调整	—	32.768	—	kHz	
Δf_{ints_t}	内部参考频率（慢速时钟）随电压和温度变化的总偏差	—	+0.5/-0.7	± 2	%	
f_{ints_t}	内部参考频率（慢速时钟）— 用户调整	31.25	—	39.0625	kHz	
$\Delta f_{dco_res_t}$	在固定电压和温度下，经调整后的平均 DCO 输出频率的分辨率 — 使用 SCTRIM 和 SCFTRIM	—	± 0.3	± 0.6	% f_{dco}	1
Δf_{dco_t}	经调整后的平均 DCO 输出频率随电压和温度变化的总偏差	—	+0.5/-0.7	± 2	% f_{dco}	1、2
Δf_{dco_t}	经调整后的平均 DCO 输出频率在固定电压和温度范围(0 - 70 °C)条件下的总偏差	—	± 0.3	± 1.5	% f_{dco}	1
f_{intf_ft}	内部参考频率（快速时钟）— 出厂时已在标称 VDD 和 25 °C 条件下调整	—	4	—	MHz	
Δf_{intf_ft}	内部参考时钟（快速时钟）随温度和电压变化的频率偏差 — 出厂时已在标称 VDD 和 25 °C 条件下调整	—	+1/-2	± 5	% f_{intf_ft}	
f_{intf_t}	内部参考频率（快速时钟）— 用户在标称 VDD 和 25 °C 条件下调整	3	—	5	MHz	
f_{loc_low}	丢失外部时钟的最小频率 — 范围 = 00	$(3/5) \times f_{ints_t}$	—	—	kHz	

下一页继续介绍此表...

表 15. MCG 参数 (继续)

符号	说明	最小值	典型值	最大值	单位	注释	
f_{loc_high}	外部时钟的最小频率损耗 — 范围 = 01、10 或 11	$(16/5) \times f_{ints_t}$	—	—	kHz		
FLL							
f_{fll_ref}	FLL 参考频率范围	31.25	—	39.0625	kHz		
f_{dco}	DCO 输出频率范围	低范围(DRS = 00) $640 \times f_{fll_ref}$	20	20.97	25	MHz	3, .4
		中范围(DRS = 01) $1280 \times f_{fll_ref}$	40	41.94	50	MHz	
		中高范围(DRS = 10) $1920 \times f_{fll_ref}$	60	62.91	75	MHz	
		高范围(DRS = 11) $2560 \times f_{fll_ref}$	80	83.89	100	MHz	
$f_{dco_t_DMX32}$	DCO 输出频率	低范围(DRS = 00) $732 \times f_{fll_ref}$	—	23.99	—	MHz	5, .6
		中范围(DRS = 01) $1464 \times f_{fll_ref}$	—	47.97	—	MHz	
		中高范围(DRS = 10) $2197 \times f_{fll_ref}$	—	71.99	—	MHz	
		高范围(DRS = 11) $2929 \times f_{fll_ref}$	—	95.98	—	MHz	
J_{cyc_fll}	FLL 周期抖动	• $f_{VCO} = 48$ MHz	—	180	—	ps	
		• $f_{VCO} = 98$ MHz	—	150	—	ps	
$t_{fll_acquire}$	FLL 目标频率获取时间	—	—	1	ms	7	
PLL							
f_{vco}	VCO 工作频率	48.0	—	120	MHz		
I_{pll}	PLL 工作电流	• 96 MHz 下的 PLL ($f_{osc_hi_1} = 8$ MHz, $f_{pll_ref} = 2$ MHz, VDIV 乘数 = 48)	—	1060	—	μ A	8
		• 48 MHz 下的 PLL ($f_{osc_hi_1} = 8$ MHz, $f_{pll_ref} = 2$ MHz, VDIV 乘数 = 24)	—	600	—	μ A	
f_{pll_ref}	PLL 参考频率范围	2.0	—	4.0	MHz		
J_{cyc_pll}	PLL 周期抖动 (RMS)	• $f_{vco} = 48$ MHz	—	120	—	ps	9
		• $f_{vco} = 100$ MHz	—	75	—	ps	
J_{acc_pll}	1 μ s 内的 PLL 累加抖动(RMS)	—	—	1350	—	ps	9
		—	—	600	—	ps	

下一页继续介绍此表...

表 15. MCG 参数 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	<ul style="list-style-type: none"> $f_{vco} = 48 \text{ MHz}$ $f_{vco} = 100 \text{ MHz}$ 					
D_{lock}	锁定输入频率公差	± 1.49	—	± 2.98	%	
D_{unl}	锁定退出频率公差	± 4.47	—	± 5.97	%	
t_{pll_lock}	锁定检测器检测时间	—	—	$150 \times 10^{-6} + 1075(1/f_{pll_ref})$	s	10

1. 测量此参数时，使用内部参考时钟（慢速时钟）作为 FLL 的参考时钟（FEI 时钟模式）。
2. $2.0 \text{ V} \leq VDD \leq 3.6 \text{ V}$ 。
3. 这些列出的典型值采用的是慢速内部参考时钟（FEI），使用出厂调整值且 DMX32 = 0。
4. 最终系统的时钟频率不得超过指定最大值。还应考虑 DCO 频率随电压和温度变化的偏差 (Δf_{dco_t})。
5. 这些列出的典型值采用的是慢速内部参考时钟（FEI），使用出厂调整值且 DMX32 = 1。
6. 生成的时钟频率不能超过器件的最大指定时钟频率。
7. 此特性适用于以下任意时间：FLL 参考源或参考分频因子改变时；调整值改变时；DMX32 位改变时；DRS 位改变时；或从“禁用 FLL”（BLPE、BLPI）变为“使能 FLL”（FEI、FEE、FBE、FBI）时。当晶体/谐振器用作参考时钟源时，此规格假定其已运行。
8. 不包括在 PLL 运行期间产生功耗的任何振荡器电流。
9. 使用 Freescale 开发的 PCB 得出此特性。PLL 抖动取决于各 PCB 的噪声特性，且结果会有所不同。
10. 此规格适用于以下任意时间：PLL VCO 分频因子或参考分频因子改变时；或从“禁用 PLL”（BLPE、BLPI）变为“使能 PLL”（PBE、PEE）时。当晶体/谐振器用作参考时钟源时，此规格假定其已运行。

3.3.2 IRC48M 特性

表 16. IRC48M 特性

符号	说明	最小值	典型值	最大值	单位	注释
V_{DD}	供电电压	1.71	—	3.6	V	
I_{DD48M}	供电电流	—	400	500	μA	
f_{irc48m}	内部参考频率	—	48	—	MHz	
$\Delta f_{irc48m_ol_lv}$	IRC48M 在低电压 ($VDD=1.71\text{V}-1.89\text{V}$) 条件下在全温度范围内的开环频率总偏差					
	稳压器禁用 (USB_CLK_RECOVER_IRC_EN[REG_EN]=0)	—	± 0.5	± 1.5	$\%f_{irc48m}$	
	稳压器启用 (USB_CLK_RECOVER_IRC_EN[REG_EN]=1)	—	± 0.5	± 2.0	$\%f_{irc48m}$	
$\Delta f_{irc48m_ol_hv}$	IRC48M 在高电压 ($VDD=1.89\text{V}-3.6\text{V}$) 条件下在全温度范围内的开环频率总偏差					
	稳压器启用 (USB_CLK_RECOVER_IRC_EN[REG_EN]=1)	—	± 0.5	± 1.5	$\%f_{irc48m}$	
$\Delta f_{irc48m_ol_hv}$	IRC48M 在高电压 ($VDD=1.89\text{V}-3.6\text{V}$) 条件下在温度为 -40°C 至 85°C 时的开环频率总偏差					
	稳压器启用 (USB_CLK_RECOVER_IRC_EN[REG_EN]=1)	—	± 0.5	± 1.0	$\%f_{irc48m}$	1

下一页继续介绍此表...

表 16. IRC48M 特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
Δf_{irc48m_cl}	IRC48M 随电压和温度变化的闭环频率总偏差	—	—	± 0.1	% f_{host}	2
J_{cyc_irc48m}	周期抖动(RMS)	—	35	150	ps	
$t_{irc48mst}$	启动时间	—	2	3	μs	3

- 最大值表示相当于均值加上或减去三倍标准偏差的表征结果 (均值 ± 3 倍标准差)。
- IRC48M 闭环操作仅适用于 USB 设备操作, 不可用于 USB 主机操作。启用方法: 配置 USB 设备, 选择 IRC48M 为 USB 时钟源, 并激活时钟恢复功能(USB_CLK_RECOVER_IRC_CTRL[CLOCK_RECOVER_EN]=1, USB_CLK_RECOVER_IRC_EN[IRC_EN]=1)。
- IRC48M 启动时间的定义为: 从时钟使能操作至时钟可供系统使用之间的时间。可通过下列任一设置启用时钟:
 - USB_CLK_RECOVER_IRC_EN[IRC_EN]=1, 或者
 - 在外部时钟模式中进行 MCG 操作, 且 MCG_C7[OSCSSEL]=10, 或
 - SIM_SOPT2[PLLFLSEL]=11

3.3.3 振荡器电气特性

3.3.3.1 直流振荡器电气特性

表 17. 直流振荡器电气特性

符号	说明	最小值	典型值	最大值	单位	注释
V_{DD}	供电电压	1.71	—	3.6	V	
I_{DDOSC}	供电电流 - 低功耗模式(HGO=0) <ul style="list-style-type: none"> 32 kHz 4 MHz 8 MHz (RANGE=01) 16 MHz 24 MHz 32 MHz 	—	500	—	nA	1
I_{DDOSC}	供电电流 - 高增益模式(HGO=1) <ul style="list-style-type: none"> 32 kHz 4 MHz 8 MHz (RANGE=01) 16 MHz 24 MHz 32 MHz 	—	25	—	μA	1
C_x	EXTAL 管脚负载电容	—	—	—		2, 3
C_y	XTAL 管脚负载电容	—	—	—		2, 3
R_F	反馈电阻 — 低频、低功耗模式(HGO=0)	—	—	—	M Ω	2, 4

下一页继续介绍此表...

表 17. 直流振荡器电气特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	反馈电阻 — 低频、高增益模式(HGO=1)	—	10	—	MΩ	
	反馈电阻 — 高频、低功耗模式(HGO=0)	—	—	—	MΩ	
	反馈电阻 — 高频、高增益模式(HGO=1)	—	1	—	MΩ	
R _S	串联电阻 — 低频、低功耗模式(HGO=0)	—	—	—	kΩ	
	串联电阻 — 低频、高增益模式(HGO=1)	—	200	—	kΩ	
	串联电阻 — 低频、低功耗模式(HGO=0)	—	—	—	kΩ	
	串联电阻 — 高频、高增益模式(HGO=1)	—	—	—	kΩ	
V _{pp} ⁵	峰峰值(振荡器模式) - 低频、低功耗模式(HGO=0)	—	0.6	—	V	
	峰峰值(振荡器模式) - 低频、高增益模式(HGO=1)	—	V _{DD}	—	V	
	峰峰值(振荡器模式) - 高频、低功耗模式(HGO=0)	—	0.6	—	V	
	峰峰值(振荡器模式) - 高频、高增益模式(HGO=1)	—	V _{DD}	—	V	

1. V_{DD}=3.3 V, 温度 =25° C
2. 参见晶体或谐振器制造商的建议
3. C_x 和 C_y 可选用集成电容或外部组件。
4. 选择低功耗模式时, R_F 为集成电阻, 不可从外部连接。
5. EXTAL 和 XTAL 引脚只应连接到所需的振荡器组件, 而不得连接到其他任何器件。

3.3.3.2 振荡器频率特性

表 18. 振荡器频率特性

符号	说明	最小值	典型值	最大值	单位	注释
f _{osc_lo}	振荡器晶体频率或谐振器频率 - 低频模式 (MCG_C2[RANGE]=00)	32	—	40	kHz	
f _{osc_hi_1}	振荡器晶体频率或谐振器频率 - 高频模式 (低范围) (MCG_C2[RANGE]=01)	3	—	8	MHz	
f _{osc_hi_2}	振荡器晶体频率或谐振器频率 - 高频模式 (高范围) (MCG_C2[RANGE]=1x)	8	—	32	MHz	
f _{ec_extal}	输入时钟频率 (外部时钟模式)	—	—	50	MHz	1, 2
t _{dc_extal}	输入时钟占空比 (外部时钟模式)	40	50	60	%	
t _{cst}	晶体启动时间 - 32 kHz 低频、低功耗模式 (HGO=0)	—	750	—	ms	3, 4
	晶体启动时间 - 32 kHz 低频、高增益模式 (HGO=1)	—	250	—	ms	
	晶体启动时间 - 8 MHz 高频 (MCG_C2[RANGE]=01)、低功耗模式(HGO=0)	—	0.6	—	ms	
	晶体启动时间 - 8 MHz 高频 (MCG_C2[RANGE]=01)、高增益模式(HGO=1)	—	1	—	ms	

1. 以外部时钟作为 FLL 或 PLL 的参考时钟时, 其他频率限制可能适用。

2. 从 FEI 或 FBI 模式转换到 FBE 模式时，应限制输入时钟频率，以便 FRDIV 对其分频时可依然保持在 DCO 输入时钟频率的限值内。
3. 为了达到规格要求，务必遵循正确的印制电路板布局流程。
4. 晶体启动时间定义为从振荡器启动到 MCG_S 寄存器中的 OSCINIT 位置位之间的时间长度。

3.3.4 32 kHz 振荡器电气特性

3.3.4.1 32 kHz 振荡器直流电气特性

表 19. 32 kHz 振荡器直流电气特性

符号	说明	最小值	典型值	最大值	单位
V_{BAT}	电源电压	1.71	—	3.6	V
R_F	内部反馈电阻器	—	100	—	M Ω
C_{para}	EXTAL32 和 XTAL32 的寄生电容	—	5	7	pF
V_{pp}^1	峰-峰振幅	—	0.6	—	V

1. 如果一个晶体连同 32 kHz 振荡器使用，EXTAL 和 XTAL 引脚应连接到所需的振荡器组件，而不能连接到其他任何器件上。

3.3.4.2 32 kHz 振荡器频率特性

表 20. 32 kHz 振荡器频率特性

符号	说明	最小值	典型值	最大值	单位	注释
f_{osc_lo}	振荡器晶体	—	32.768	—	kHz	
t_{start}	晶体启动时间	—	1000	—	ms	1
$f_{ec_extal32}$	外部提供的输入时钟频率	—	32.768	—	kHz	2
$V_{ec_extal32}$	外部提供的输入时钟幅值	700	—	V_{BAT}	mV	2, 3

1. 为了达到规格要求，务必遵循正确的印制电路板布局流程。
2. 此特性适用于驱动至 EXTAL32 的外部时钟，不适用于任何其他时钟输入。振荡器保持启用状态，而 XTAL32 必须悬空。
3. 指定参数为峰-峰值， V_{IH} 和 V_{IL} 的特性不适用。采用的时钟电压必须在 V_{SS} 至 V_{BAT} 范围内。

3.4 存储器 and 存储器接口

3.4.1 Flash 电气特性

本节介绍 Flash 存储器模块的电气特性。

3.4.1.1 Flash 时序特性 — 编程和擦除

下列规格表示内部电荷泵处于有效状态的时间，不包括命令执行时间。

表 21. NVM 编程/擦除时序特性

符号	说明	最小值	典型值	最大值	单位	注释
t_{hvpgm4}	长字编程高电压时间	—	7.5	18	μs	—
$t_{hversscr}$	扇区擦除高电压时间	—	13	113	ms	1
$t_{hversall}$	全部擦除高电压时间	—	52	452	ms	1

1. 最大时间，基于循环周期终止时的期望值。

3.4.1.2 Flash 时序特性 - 命令

表 22. Flash 命令时序特性

符号	说明	最小值	典型值	最大值	单位	注释
$t_{rd1sec2k}$	“读 1s 区”执行时间 (flash 扇区)	—	—	60	μs	1
t_{pgmchk}	“程序校验”执行时间	—	—	45	μs	1
t_{rdsrc}	“读资源”执行时间	—	—	30	μs	1
t_{pgm4}	“程序长字”执行时间	—	65	145	μs	—
t_{ersscr}	“擦除 Flash 扇区”执行时间	—	14	114	ms	2
t_{rd1all}	“读 1s 所有块”执行时间	—	—	1.8	ms	1
t_{rdonce}	“读一次”执行时间	—	—	30	μs	1
$t_{pgmonce}$	“程序运行一次”执行时间	—	100	—	μs	—
t_{ersall}	“擦除所有块”执行时间	—	500	3000	ms	2
t_{vfykey}	“验证后门访问密钥”执行时间	—	—	30	μs	1

- 假定 Flash 时钟频率为 25 MHz。
- 擦除参数的最大时间，基于循环周期终止时的期望值。

3.4.1.3 Flash 高压电流特性

表 23. Flash 高压电流特性

符号	说明	最小值	典型值	最大值	单位
I_{DD_PGM}	高压 Flash 编程操作过程中的平均增加电流	—	2.5	6.0	mA
I_{DD_ERS}	高压 Flash 擦除操作过程中的平均增加电流	—	1.5	4.0	mA

3.4.1.4 可靠性特性

表 24. NVM 可靠性特性

符号	说明	最小值	典型值 ¹	最大值	单位	注释
程序 Flash						
t_{nvmp10k}	高达 10000 个周期后的数据保留时间	5	50	—	年	—
t_{nvmp1k}	高达 1000 个周期后的数据保留时间	20	100	—	年	—
n_{nvmp}	周期寿命	10 K	50 K	—	周期	2

1. 典型数据保留值基于加速高温和 25 °C 恒温用例情况下所测得的响应。此项技术不适用工程通告 EB618。工程通告 EB619 中定义的典型耐受能力。
2. 擦写耐受能力表示 -40 °C ≤ T_j ≤ 125 °C 温度范围内的编程/擦除次数。

3.4.2 EzPort 开关特性

表 25. EzPort 开关特性

编号	说明	最小值	最大值	单位
	工作电压	1.71	3.6	V
EP1	EZP_CK 工作频率 (除 READ 外的所有指令)	—	f _{sys} /2	MHz
EP1a	EZP_CK 工作频率 (READ 指令)	—	f _{sys} /8	MHz
EP2	$\overline{\text{EZP_CS}}$ 无效至下次 $\overline{\text{EZP_CS}}$ 有效	2 x t _{EZP_CK}	—	ns
EP3	$\overline{\text{EZP_CS}}$ 输入有效至 EZP_CK 高电平 (建立)	5	—	ns
EP4	EZP_CK 高电平至 $\overline{\text{EZP_CS}}$ 输入无效 (保持)	5	—	ns
EP5	EZP_D 输入有效至 EZP_CK 高电平 (建立)	2	—	ns
EP6	EZP_CK 高电平至 EZP_D 输入无效 (保持)	5	—	ns
EP7	EZP_CK 低电平至 EZP_Q 输出有效	—	25	ns
EP8	EZP_CK 低电平至 EZP_Q 输出无效 (保持)	0	—	ns
EP9	$\overline{\text{EZP_CS}}$ 无效至 EZP_Q 三态	—	12	ns

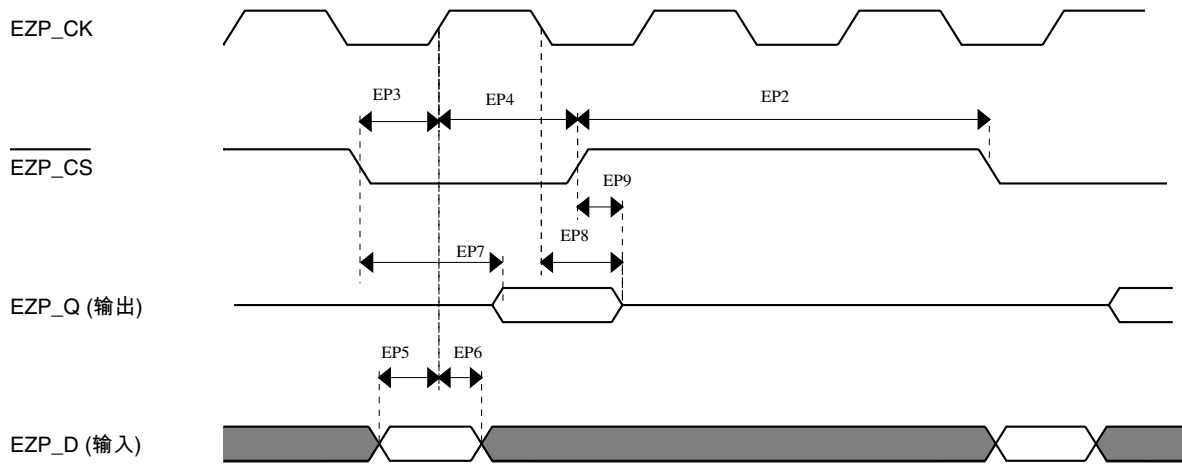


图 11. EzPort 时序图

3.4.3 Flexbus 开关特性

所有处理器总线时序均同步；给出的输入建立/保持时间和输出延时均相对于参考时钟 FB_CLK 的上升沿而言。FB_CLK 频率可能与内部系统总线频率一致，也可能等于该频率整数分频后的值。

下面的时序数字表明数据被锁存或驱动至外部总线的时刻，相对于 Flexbus 输出时钟(FB_CLK)而言。所有其他时序关系均可根据这些值导出。

表 26. Flexbus 开关特性（窄电压范围）

编号	说明	最小值	最大值	单位	附注
	工作电压	2.7	3.6	V	
	工作频率	—	30	MHz	
FB1	时钟周期	33.3	—	ns	
FB2	地址、数据和控制输出有效时间	—	15	ns	
FB3	地址、数据和控制输出保持时间	0.5	—	ns	1
FB4	数据和 FB_TA 输入建立时间	14.5	—	ns	
FB5	数据和 FB_TA 输入保持时间	0.5	—	ns	2

1. 此特性对于所有 FB_AD[31:0]、FB_BE/BWEn、FB_CS_n、FB_OE、FB_R_W、FB_TBST、FB_TSIz[1:0] FB_ALE 和 FB_TS 均有效。

2. 此特性对于所有 FB_AD[31:0]和 FB_TA 均有效。

表 27. Flexbus 开关特性（全电压范围）

编号	说明	最小值	最大值	单位	附注
	工作电压	1.71	3.6	V	
	工作频率	—	30	MHz	
FB1	时钟周期	33.3	—	ns	
FB2	地址、数据和控制输出有效时间	—	21.5	ns	
FB3	地址、数据和控制输出保持时间	-1.0	—	ns	1
FB4	数据和 FB_TA 输入建立时间	20.0	—	ns	
FB5	数据和 FB_TA 输入保持时间	0.5	—	ns	2

1. 此特性对于所有 FB_AD[31:0]、FB_BE/BWE \bar{n} 、FB_CS \bar{n} 、FB_OE、FB_R/W、FB_TBST、FB_TSI[1:0] FB_ALE 和 FB_TS 均有效。

2. 此特性对于所有 FB_AD[31:0]和 FB_TA 均有效。

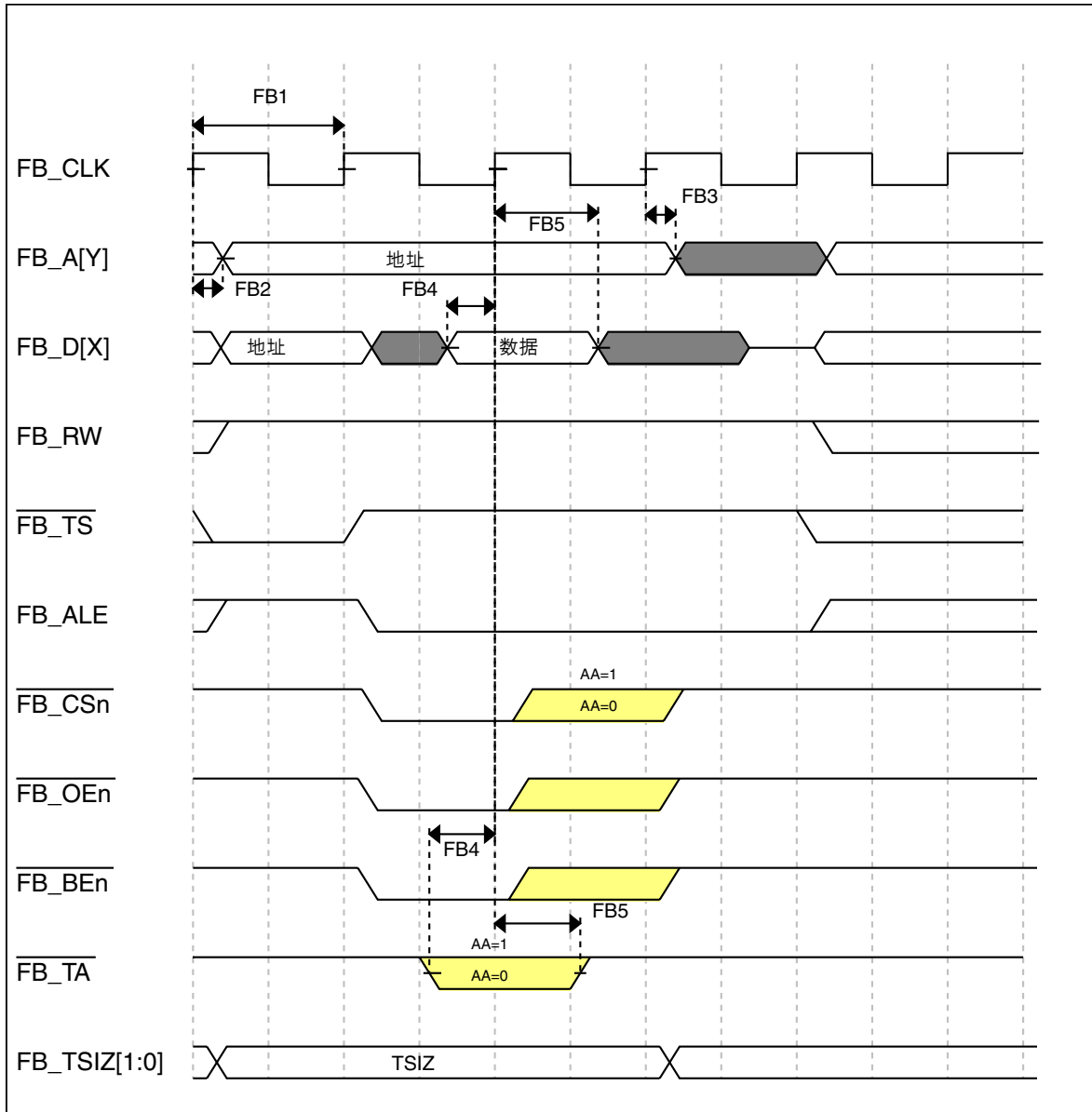


图 12. FlexBus 读操作时序图

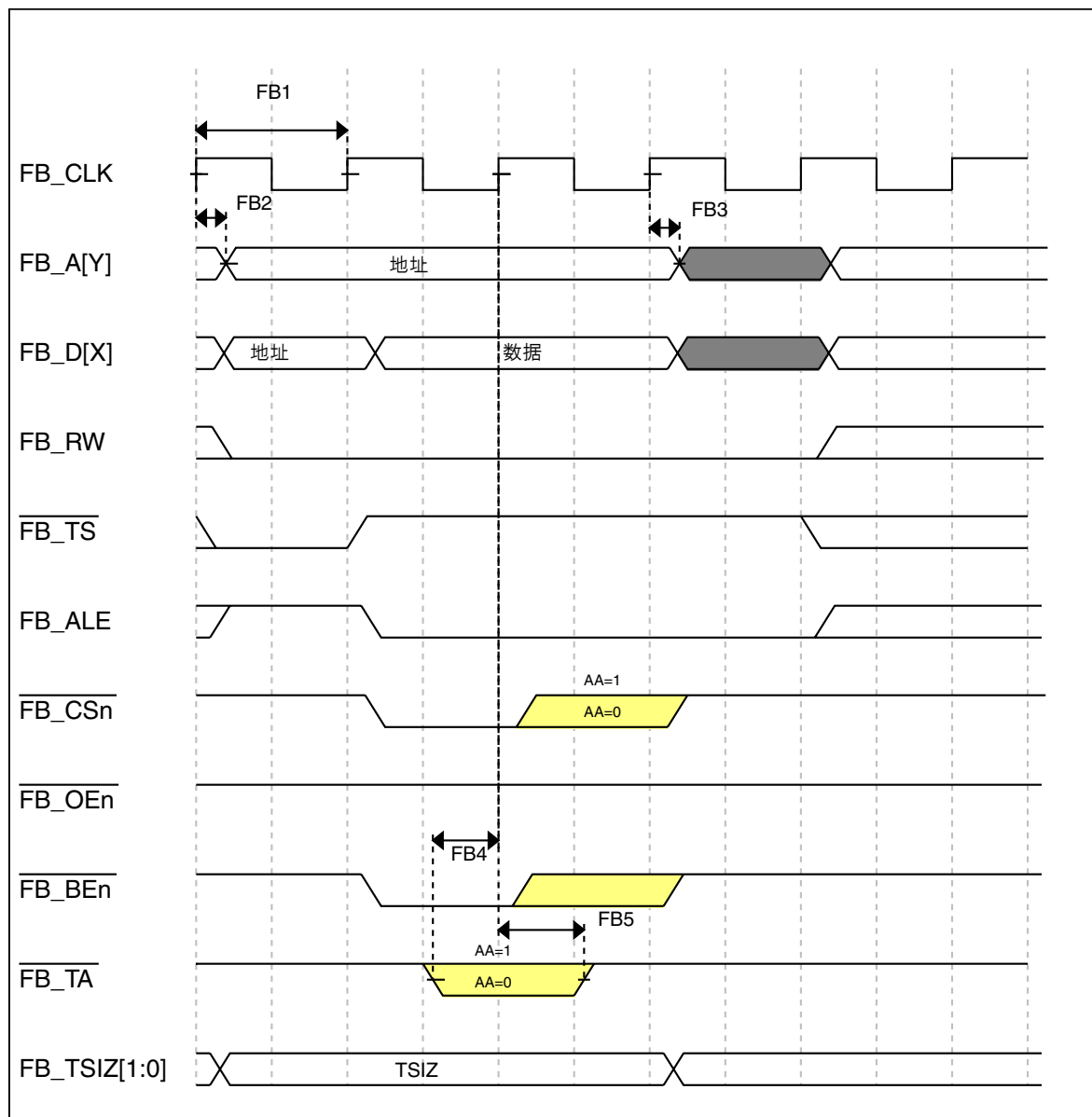


图 13. FlexBus 写操作时序图

3.5 安全性和完整性模块

对于器件的安全性和完整性模块，无特性要求。

3.6 模拟

3.6.1 ADC 电气特性

在表 28 和表 29 中列出的 16 位精度特性可以在差分引脚 ADCx_DPx、ADCx_DMx 上实现。

其他所有 ADC 通道满足 13 位差分/12 位单端精度特性。

3.6.1.1 16 位 ADC 操作条件

表 28. 16 位 ADC 操作条件

符号	描述	条件	最小值	典型值 ¹	最大值	单位	注释
V _{DDA}	供电电压	绝对值	1.71	—	3.6	V	
ΔV _{DDA}	供电电压	V _{DD} 的差值(V _{DD} - V _{DDA})	-100	0	+100	mV	2
ΔV _{SSA}	接地电压	V _{SS} 的差值(V _{SS} -V _{SSA})	-100	0	+100	mV	2
V _{REFH}	ADC 高参考电压		1.13	V _{DDA}	V _{DDA}	V	
V _{REFL}	ADC 低参考电压		V _{SSA}	V _{SSA}	V _{SSA}	V	
V _{ADIN}	输入电压	<ul style="list-style-type: none"> 16 位差分模式 其他所有模式 	V _{REFL} V _{REFL}	— —	31/32 * V _{REFH} V _{REFH}	V	
C _{ADIN}	输入电容	<ul style="list-style-type: none"> 16 位模式 8 位/10 位/12 位模式 	— —	8 4	10 5	pF	
R _{ADIN}	输入串联电阻		—	2	5	kΩ	
R _{AS}	模拟源电阻 (外部)	13 位/12 位模式 f _{ADCK} < 4 MHz	—	—	5	kΩ	3
f _{ADCK}	ADC 转换时钟频率	≤ 13 位模式	1.0	—	24.0	MHz	4
f _{ADCK}	ADC 转换时钟频率	16 位模式	2.0	—	12.0	MHz	4
C _{rate}	ADC 转换速率	≤ 13 位模式 无 ADC 硬件平均 连续转换功能使能, 后续转换 时间	20	—	1200	Ksps	5
C _{rate}	ADC 转换速率	16 位模式 无 ADC 硬件平均 连续转换功能使能, 后续转换 时间	37	—	461	Ksps	5

1. 除非另有说明, 否则典型值假定 V_{DDA} = 3.0 V, Temp = 25°C, f_{ADCK} = 1.0 MHz。典型值仅供参考, 并未在生产中进行测试。
2. 直流电位差。

3. 此电阻是 MCU 的外部电阻。为达到最佳效果，模拟源电阻必须尽量小一些。此数据手册中的结果来自于模拟源电阻 <math> < 8 \Omega </math> 的系统。 R_{AS}/C_{AS} 时间常数应当始终 <math> < 1 \text{ ns}</math>。
4. 要使用最大 ADC 转换时钟频率，必须使 CFG2[ADHSC]置位，并使 CFG1[ADLPC]清零。
5. 有关计算转换速率的相应准则和示例，请下载 [ADC 计算器工具](#)。

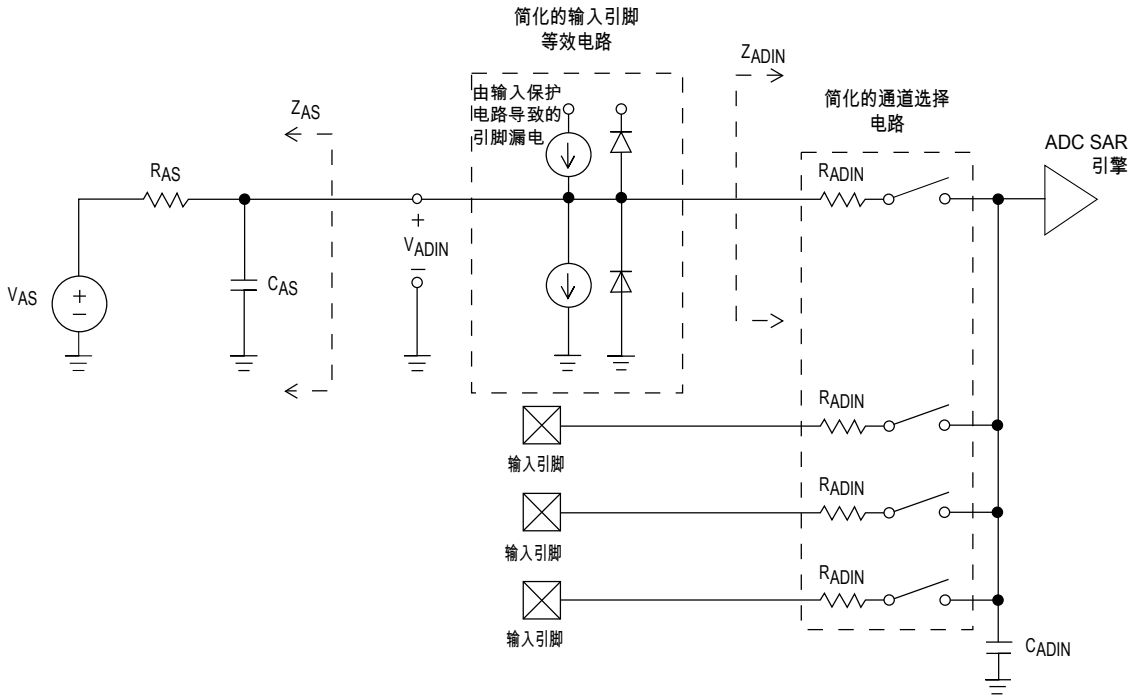


图 14. ADC 输入阻抗等效图

3.6.1.2 16 位 ADC 电气特性

表 29. 16 位 ADC 特性($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$)

符号	描述	条件 ¹	最小值	典型值 ²	最大值	单位	注释
I_{DDA_ADC}	供电电流		0.215	—	1.7	mA	3
f_{ADACK}	ADC 异步时钟源	• ADLPC = 1, ADHSC = 0	1.2	2.4	3.9	MHz	$t_{ADACK} = 1/f_{ADACK}$
		• ADLPC = 1, ADHSC = 1	2.4	4.0	6.1	MHz	
		• ADLPC = 0, ADHSC = 0	3.0	5.2	7.3	MHz	
		• ADLPC = 0, ADHSC = 1	4.4	6.2	9.5	MHz	
	采样时间	参见“参考手册”中的章节确定采样时间					
TUE	未调整总误差	• 12 位模式 • <12 位模式	— —	± 4 ± 1.4	± 6.8 ± 2.1	LSB ⁴	5
DNL	差分非线性	• 12 位模式 • <12 位模式	— —	± 0.7 ± 0.2	-1.1 到 +1.9	LSB ⁴	5

下一页继续介绍此表...

表 29. 16 位 ADC 特性($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$) (继续)

符号	描述	条件 ¹	最小值	典型值 ²	最大值	单位	注释
					-0.3 到 +0.5		
INL	积分非线性	• 12 位模式	—	±1.0	-2.7 到 +1.9	LSB ⁴	5
		• <12 位模式	—	±0.5	-0.7 到 +0.5		
E _{FS}	满量程误差	• 12 位模式	—	-4	-5.4	LSB ⁴	V _{ADIN} = V _{DDA} ⁵
		• <12 位模式	—	-1.4	-1.8		
E _Q	量化误差	• 16 位模式	—	-1 到 0	—	LSB ⁴	
		• ≤13 位模式	—	—	±0.5		
ENOB	有效位数	16 位差分模式				位	6
		• Avg = 32	12.8	14.5			
		• Avg = 4	11.9	13.8	—		
		16 位单端模式				位	
• Avg = 32	12.2	13.9	—				
• Avg = 4	11.4	13.1	—				
SINAD	信噪失真比	参见 ENOB	6.02 × ENOB + 1.76			dB	
THD	总谐波失真	16 位差分模式				dB	7
		• Avg = 32	—	-94	—		
		16 位单端模式				dB	
• Avg = 32	—	-85	—				
SFDR	无杂散动态范围	16 位差分模式				dB	7
		• Avg = 32	82	95	—		
		16 位单端模式				dB	
• Avg = 32	78	90	—				
E _{IL}	输入漏电误差		I _{in} × R _{AS}			mV	I _{in} = 漏电流 (参见 MCU 电压和电流操作极限)
	温度传感器斜率	横跨设备整个温度范围	1.55	1.62	1.69	mV/°C	8
V _{TEMP25}	温度传感器电压	25 °C	706	716	726	mV	8

1. 所有精度数字均假定 ADC 已在 $V_{REFH} = V_{DDA}$ 的情况下进行校准

2. 除非另有说明, 否则典型值假定 $V_{DDA} = 3.0\text{ V}$ 、 $\text{Temp} = 25^\circ\text{C}$ 、 $f_{\text{ADCK}} = 2.0\text{ MHz}$ 。典型值仅供参考, 并未在生产中进行测试。

3. ADC 供电电流取决于 ADC 转换时钟速度、转换速率以及 ADC_CFG1[ADLPC] (低功耗)。要使操作功耗最低，ADC_CFG1[ADLPC]必须置位，ADC_CFG2[ADHSC]位必须清零，且 ADC 转换时钟速度为 1 MHz。
4. $1 \text{ LSB} = (V_{\text{REFH}} - V_{\text{REFL}})/2^N$
5. ADC 转换时钟 < 16 MHz，最大硬件平均(AVGE = %1, AVGS = %11)
6. 输入数据为 100 Hz 的正弦波。ADC 转换时钟< 12 MHz。
7. 输入数据为 1 kHz 的正弦波。ADC 转换时钟< 12 MHz。
8. ADC 转换时钟< 3 MHz

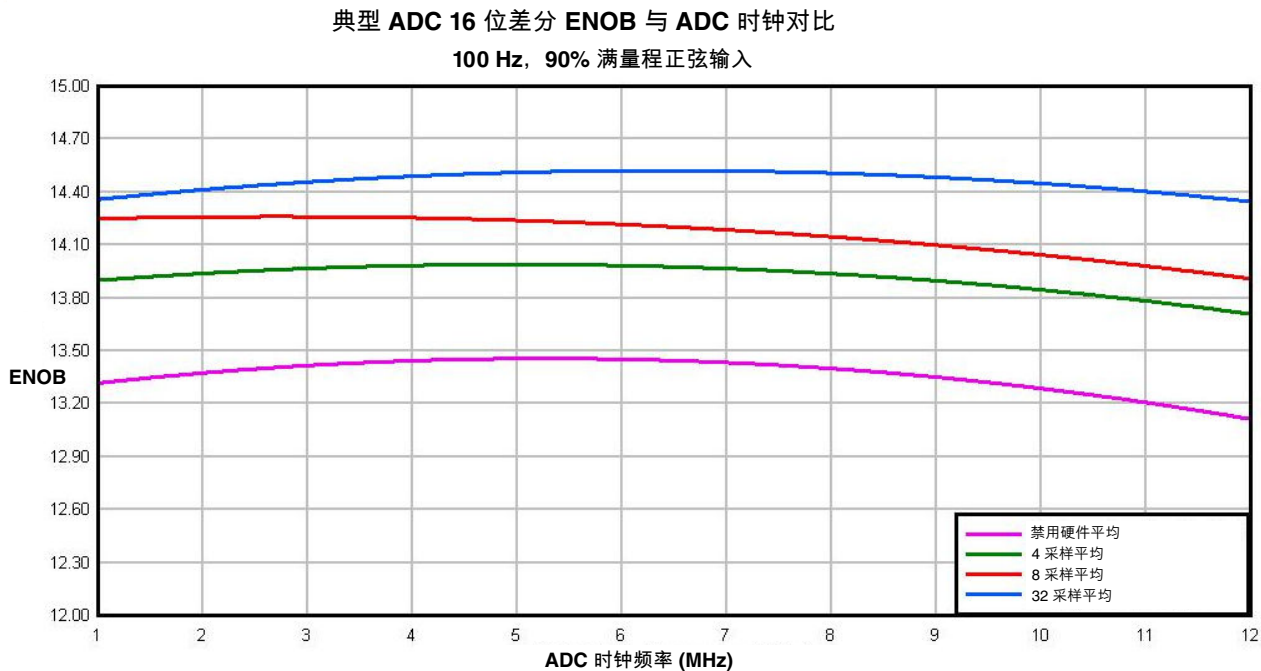


图 15. 典型 ENOB 与 16 位差分模式 ADC_CLK 的关系

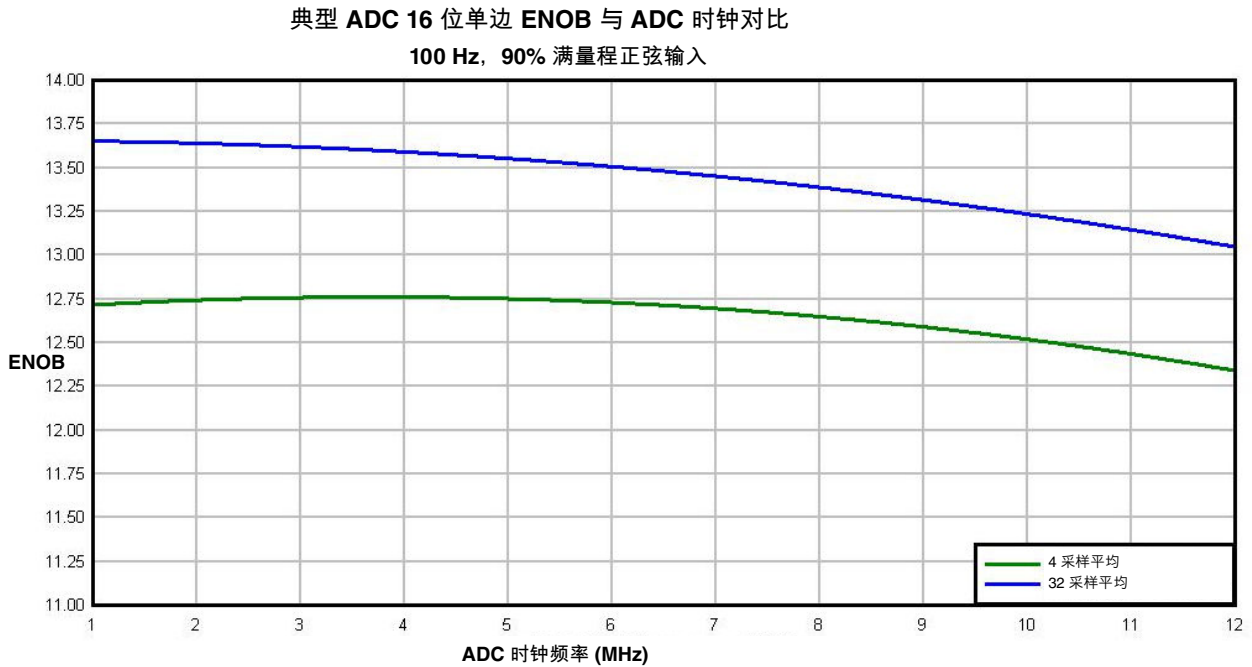


图 16. 典型 ENOB 与 16 位单端模式 ADC_CLK 的关系

3.6.2 CMP 和 6 位 DAC 的电气特性

表 30. 比较器和 6 位 DAC 的电气特性

符号	说明	最小值	典型值	最大值	单位
V_{DD}	供电电压	1.71	—	3.6	V
I_{DDHS}	供电电流, 高速模式 (EN=1, PMODE=1)	—	—	200	μ A
$I_{DDL S}$	供电电流, 低速模式 (EN=1, PMODE=0)	—	—	20	μ A
V_{AIN}	模拟输入电压	$V_{SS} - 0.3$	—	V_{DD}	V
V_{AIO}	模拟输入偏移电压	—	—	20	mV
V_H	模拟比较器迟滞 ¹				
	• CR0[HYSTCTR] = 00	—	5	—	mV
	• CR0[HYSTCTR] = 01	—	10	—	mV
	• CR0[HYSTCTR] = 10	—	20	—	mV
	• CR0[HYSTCTR] = 11	—	30	—	mV
V_{CMPOh}	输出高电平	$V_{DD} - 0.5$	—	—	V
V_{CMPOl}	输出低电平	—	—	0.5	V
t_{DHS}	传播延迟, 高速模式 (EN=1, PMODE=1)	20	50	200	ns
t_{DLS}	传播延迟, 低速模式 (EN=1, PMODE=0)	80	250	600	ns

下一页继续介绍此表...

表 30. 比较器和 6 位 DAC 的电气特性 (继续)

符号	说明	最小值	典型值	最大值	单位
	模拟比较器初始化延迟 ²	—	—	40	μs
I _{DAC6b}	6 位 DAC 增加电流 (使能)	—	7	—	μA
INL	6 位 DAC 积分非线性	-0.5	—	0.5	LSB ³
DNL	6 位 DAC 差分非线性	-0.3	—	0.3	LSB

1. 在输入电压范围限定为 0.6 至 V_{DD}-0.6 V 的条件下测定典型迟滞。
2. 比较器初始化延迟是指从软件执行写操作来改变控制输入 (写入 CMP_DACCR[DACEN]、CMP_DACCR[VRSEL]、CMP_DACCR[VOSEL]、CMP_MUXCR[PSEL]和 CMP_MUXCR[MSEL]) 到比较器输出达到稳定电平的时间。
3. 1 LSB = V_{reference}/64

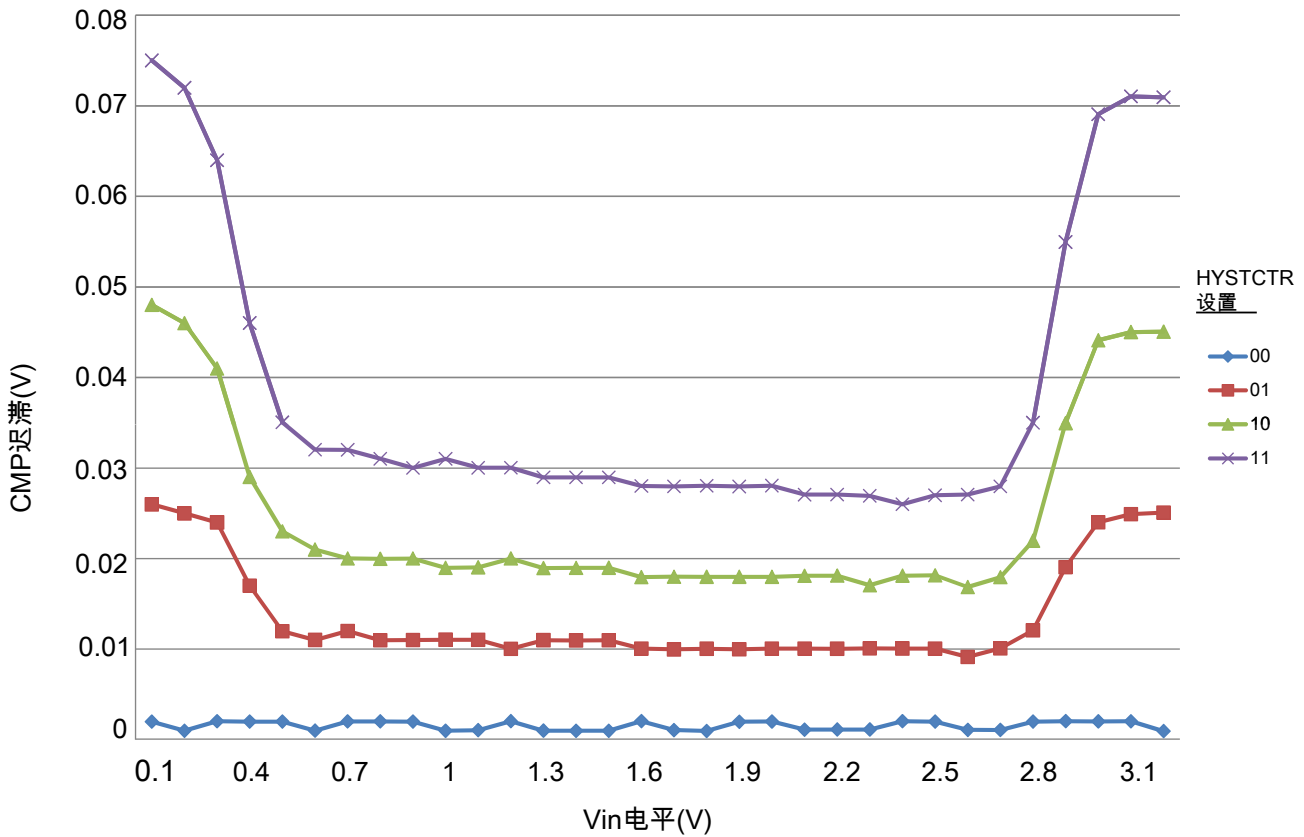


图 17. 典型迟滞与 Vin 电平 (VDD = 3.3 V, PMODE = 0)

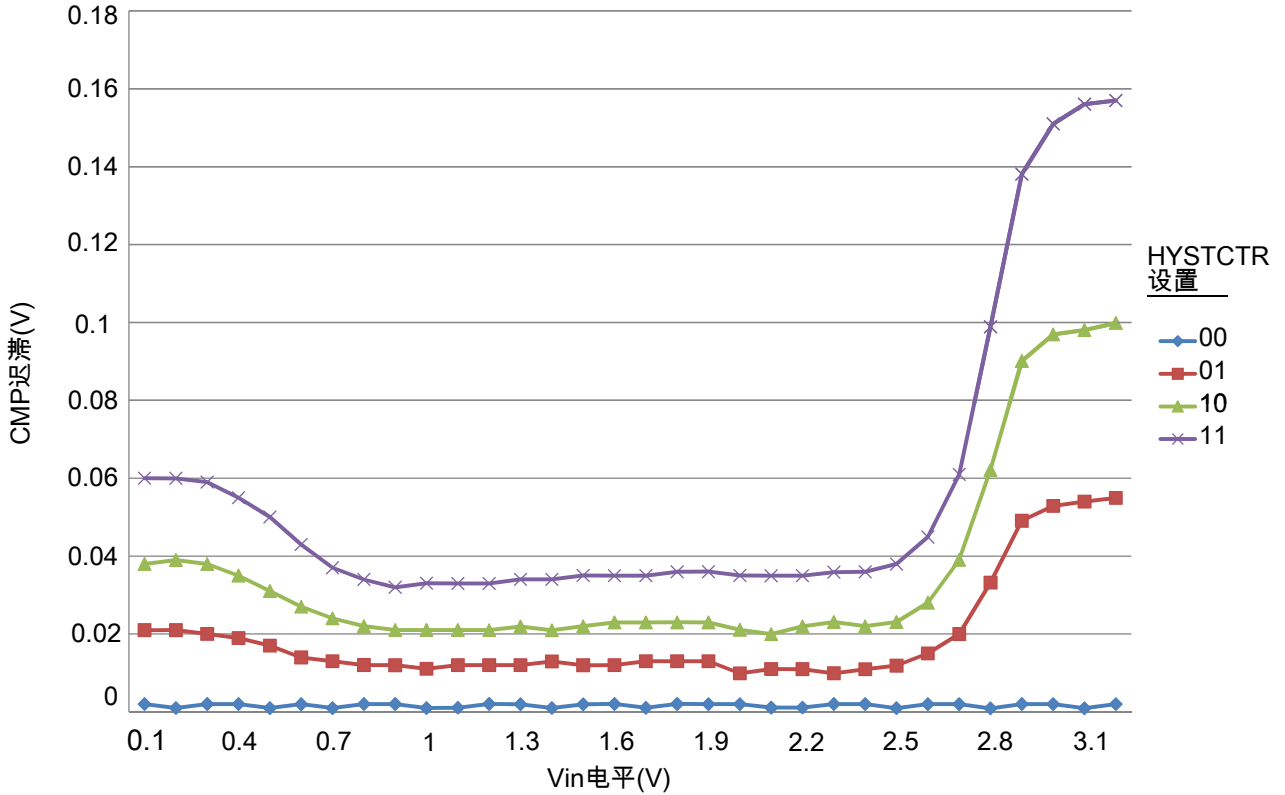


图 18. 典型迟滞与 Vin 电平(VDD = 3.3 V, PMODE = 1)

3.6.3 12 位 DAC 电气特性

3.6.3.1 12 位 DAC 操作要求

表 31. 12 位 DAC 操作要求

符号	描述	最小值	最大值	单位	注释
V_{DDA}	电源电压	1.71	3.6	V	
V_{DACR}	参考电压	1.13	3.6	V	1
C_L	输出负载电容	—	100	pF	2
I_L	输出负载电流	—	1	mA	

1. DAC 基准电压可选用 V_{DDA} 或 V_{REFH} 。
2. 小负载电容(47 pF)有助于改善 DAC 的带宽性能。

3.6.3.2 12 位 DAC 特性

表 32. 12 位 DAC 特性

符号	说明	最小值	典型值	最大值	单位	注释
I_{DDA_DACLP}	电源电流 - 低功耗模式	—	—	330	μA	
I_{DDA_DACHP}	电源电流 - 高速模式	—	—	1200	μA	
t_{DACLP}	满量程建立时间 (0x080 到 0xF7F) - 低功耗模式	—	100	200	μs	1
t_{DACHP}	满量程建立时间 (0x080 到 0xF7F) - 高功耗模式	—	15	30	μs	1
$t_{CCDACLP}$	代码-代码建立时间 (0xBF8 到 0xC08) - 低功耗模式和高速模式	—	0.7	1	μs	1
$V_{dacoutl}$	DAC 输出电压范围低电平 - 高速模式, 无负载, DAC 设为 0x000	—	—	100	mV	
$V_{dacouth}$	DAC 输出电压范围高电平 - 高速模式, 无负载, DAC 设为 0xFF	$V_{DACR} - 100$	—	V_{DACR}	mV	
INL	积分非线性误差 - 高速模式	—	—	± 8	LSB	2
DNL	差分非线性误差 - $V_{DACR} > 2\text{ V}$	—	—	± 1	LSB	3
DNL	差分非线性误差— $V_{DACR} = V_{REF_OUT}$	—	—	± 1	LSB	4
V_{OFFSET}	偏移误差	—	± 0.4	± 0.8	%FSR	5
E_G	增益误差	—	± 0.1	± 0.6	%FSR	5
PSRR	电源纹波抑制比, $V_{DDA} \geq 2.4\text{ V}$	60	—	90	dB	
T_{CO}	温度系数偏移电压	—	3.7	—	$\mu\text{V}/\text{C}$	6
T_{GE}	温度系数增益误差	—	0.000421	—	%FSR/C	
R_{op}	输出电阻 (负载 = 3 Ω)	—	—	250	Ω	
SR	压摆率 -80h → F7Fh → 80h • 高功率(SP _{HP}) • 低功率(SP _{LP})	1.2 0.05	1.7 0.12	— —	$\text{V}/\mu\text{s}$	
BW	3dB 带宽 • 高功率(SP _{HP}) • 低功率(SP _{LP})	550 40	— —	— —	kHz	

- ±1 LSB 建立时间
- INL 在 0 + 100 mV 至 $V_{DACR} - 100\text{ mV}$ 范围内测得
- DNL 在 0 + 100 mV 至 $V_{DACR} - 100\text{ mV}$ 范围内测得
- DNL 在 0 + 100 mV 至 $V_{DACR} - 100\text{ mV}$ ($V_{DDA} > 2.4\text{ V}$)范围内测得
- 在 $V_{SS} + 100\text{ mV}$ 至 $V_{DACR} - 100\text{ mV}$ 范围内, 利用最佳拟合曲线计算
- $V_{DDA} = 3.0\text{ V}$, 为 V_{DDA} 选择基准 (DACx_CO:DACRFS = 1), 高功耗模式 (DACx_CO:LPEN = 0), DAC 设为 0x800, 温度范围为器件的整个范围

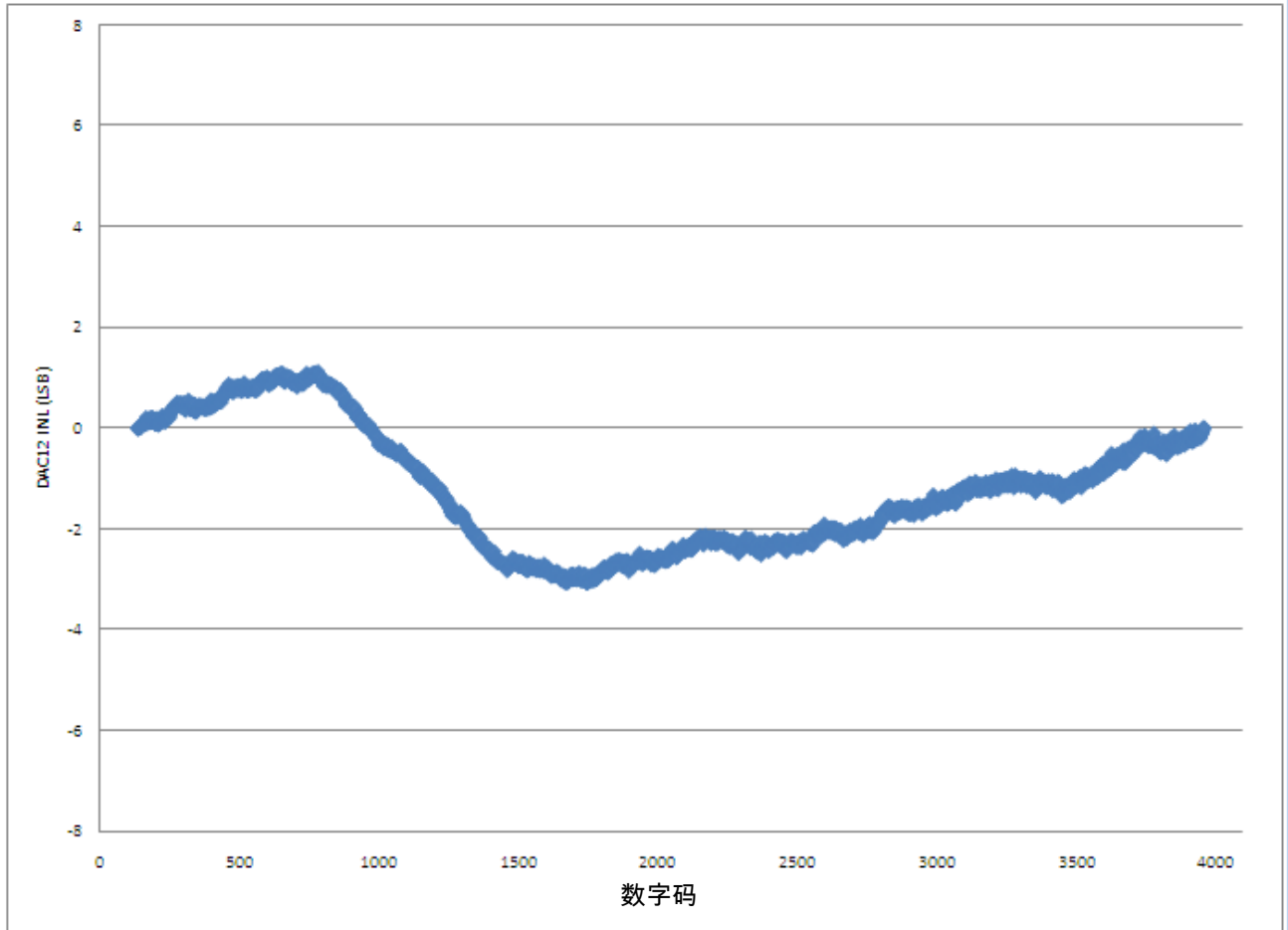


图 19. 典型 INL 误差与数字码

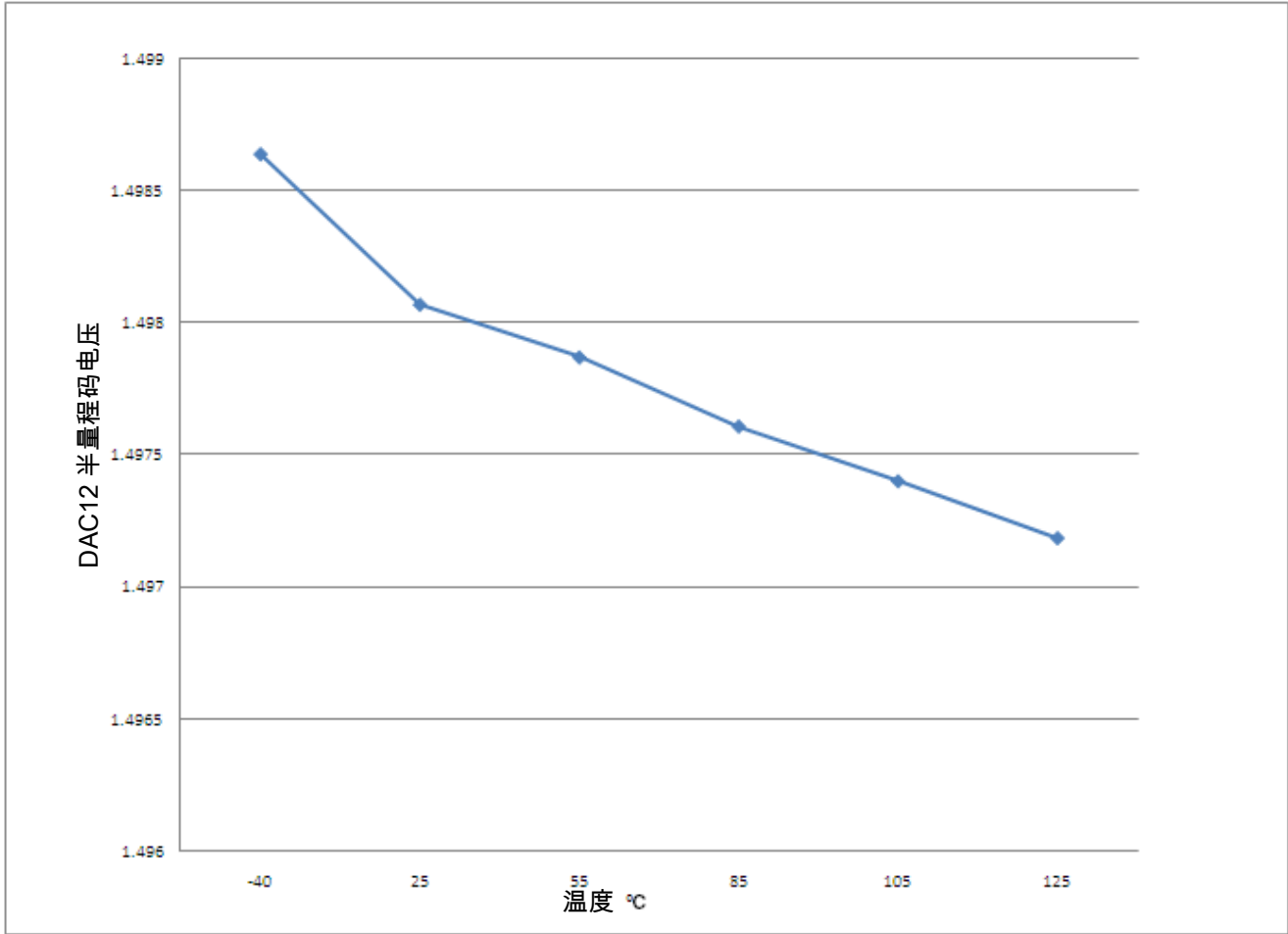


图 20. 半量程失调与温度

3.6.4 电压基准电气特性

表 33. VREF 全范围工作条件

符号	说明	最小值	最大值	单位	注释
V_{DDA}	供电电压	1.71	3.6	V	
T_A	温度	器件的工作温度范围		°C	
C_L	输出负载电容	100		nF	1, 2

1. 如果使用 VREF_OUT 功能作为内部或外部参考电压，则 C_L 必须连接至 VREF_OUT。
2. 负载电容应不超过该器件工作温度范围内指定 C_L 标称值的 +/-25%。

表 34. VREF 全范围特性

符号	说明	最小值	典型值	最大值	单位	注释
V_{out}	在标称 V_{DDA} 和 25°C 温度下, 出厂前调整的电压基准输出	1.1920	1.1950	1.1980	V	1
V_{out}	在标称 V_{DDA} 和 25°C 温度下, 用户调整的电压基准输出	1.1945	1.1950	1.1955	V	1
V_{step}	电压基准微调量	—	0.5	—	mV	1
V_{tdrift}	温度漂移 (全温度范围内的 $V_{max} - V_{min}$)	—	—	15	mV	1
I_{bg}	仅带隙电流	—	—	80	μA	
I_{lp}	低功率缓冲器电流	—	—	360	μA	1
I_{hp}	高功率缓冲器电流	—	—	1	mA	1
ΔV_{LOAD}	负载调节 • 电流 = ± 1.0 mA	—	200	—	μV	1, 2
T_{stup}	缓冲器启动时间	—	—	100	μs	
$T_{chop_osc_st\ up}$	启用斩波振荡器时的内部带隙启动延时	—	—	35	ms	
V_{vdrift}	电压漂移 (全电压范围内的 $V_{max} - V_{min}$)	—	2	—	mV	1

- 关于 VREF 状态和控制寄存器的正确设置, 请查看芯片的参考手册。
- 负载调节电压是空载 VREF_OUT 电压和带特定负载的电压之间的差值。

表 35. VREF 窄范围工作条件

符号	说明	最小值	最大值	单位	注释
T_A	温度	0	70	$^{\circ}C$	

表 36. VREF 窄范围特性

符号	说明	最小值	最大值	单位	附注
V_{tdrift}	温度偏移 (窄温度范围内的 $V_{max} - V_{min}$)	—	10	mV	

3.7 定时器

参见[通用开关特性](#)。

3.8 通信接口

3.8.1 USB 电气特性

USB On-the-Go 模块的 USB 电气特性符合通用串行总线设计论坛上发布的标准。有关最新标准请访问 usb.org。

注

MCGPLLCLK 符合设备和主机模式下用作外部时钟/晶体的 USB 抖动认证规格。

MCGFLLCLK 不符合认证所需的 USB 抖动特性。

IRC48M 符合 USB 时钟恢复模式使能时设备模式下的 USB 抖动认证规格。它不符合主机模式操作认证所需的 USB 抖动特性。

3.8.2 USB VREG 电气特性

表 37. USB VREG 电气规格

符号	说明	最小值	典型值 ¹	最大值	单位	注释
VREGIN	输入电源电压	2.7	—	5.5	V	
I _{DDon}	静态电流 - RUN 模式, 负载电流等于 0, 输入电源电压(VREGIN) > 3.6 V	—	125	186	μA	
I _{DDstby}	静态电流 - 待机模式, 负载电流等于 0	—	1.1	10	μA	
I _{DDoff}	静态电流 — 关断模式	—	650	—	nA	
		—	—	4	μA	
I _{LOADrun}	最大负载电流 - RUN 模式	—	—	120	mA	
		—	—	1	mA	
V _{Reg33out}	调节器输出电压 - 输入电源电压(VREGIN) > 3.6 V	3	3.3	3.6	V	
		2.1	2.8	3.6	V	
V _{Reg33out}	调节器输出电压 - 输入电源电压(VREGIN) < 3.6 V, 直通模式	2.1	—	3.6	V	2
C _{OUT}	外部输出电容器	1.76	2.2	8.16	μF	
ESR	外部输出电容器的等效串联电阻	1	—	100	mΩ	
I _{LIM}	短路电流	—	290	—	mA	

1. 除非另有说明, 否则典型值假定 VREGIN = 5.0 V、Temp = 25 °C。

2. 在直通模式下操作: 调节器输出电压等于输入电压减去电压降 (与 I_{Load} 成正比)。

3.8.3 DSPI 开关特性（窄电压范围）

Deserial 串行外设接口(DSPI)可为主从操作提供同步串行总线。多数传输属性均可编程。下列表格提供了典型 DSPI 时序模式的时序特性。如需了解与慢速外设器件通信所用的修正传输格式，请参见芯片参考手册中的 SPI 章节。

表 38. 主模式 DSPI 时序（窄电压范围）

编号	说明	最小值	最大值	单位	附注
	工作电压	2.7	3.6	V	
	工作频率	—	30	MHz	
DS1	DSPI_SCK 输出周期	$2 \times t_{\text{BUS}}$	—	ns	
DS2	DSPI_SCK 输出高/低电平时间	$(t_{\text{SCK}}/2) - 2$	$(t_{\text{SCK}}/2) + 2$	ns	
DS3	DSPI_PCSn 有效至 DSPI_SCK 延时	$(t_{\text{BUS}} \times 2) - 2$	—	ns	1
DS4	DSPI_SCK 至 DSPI_PCSn 无效延时	$(t_{\text{BUS}} \times 2) - 2$	—	ns	2
DS5	DSPI_SCK 至 DSPI_SOUT 有效时间	—	8.5	ns	
DS6	DSPI_SCK 至 DSPI_SOUT 无效时间	-2	—	ns	
DS7	DSPI_SIN 至 DSPI_SCK 输入建立时间	16.2	—	ns	
DS8	DSPI_SCK 至 DSPI_SIN 输入保持时间	0	—	ns	

1. 此延时可通过 SPIx_CTARn[PSSCK]和 SPIx_CTARn[CSSCK]编程。
2. 此延时可通过 SPIx_CTARn[PASC]和 SPIx_CTARn[ASC]编程。

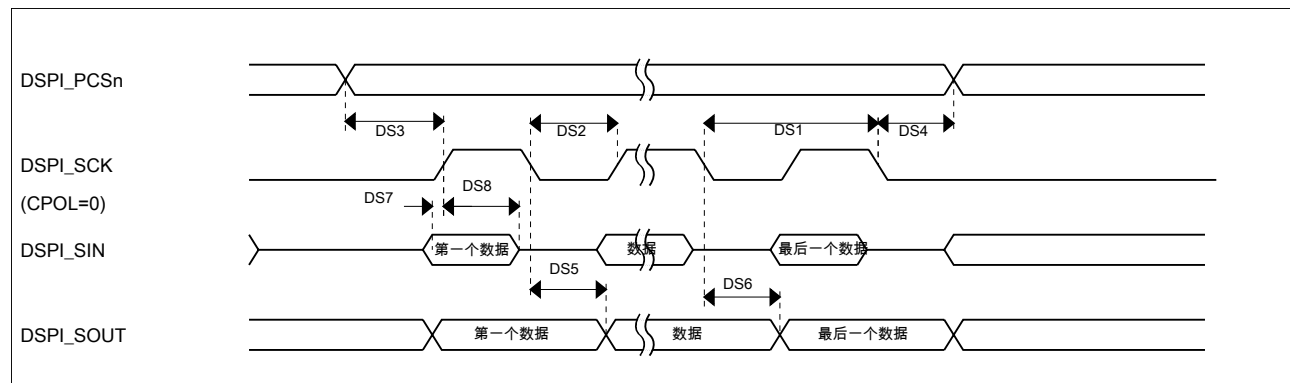


图 21. DSPI 典型 SPI 时序 — 主模式

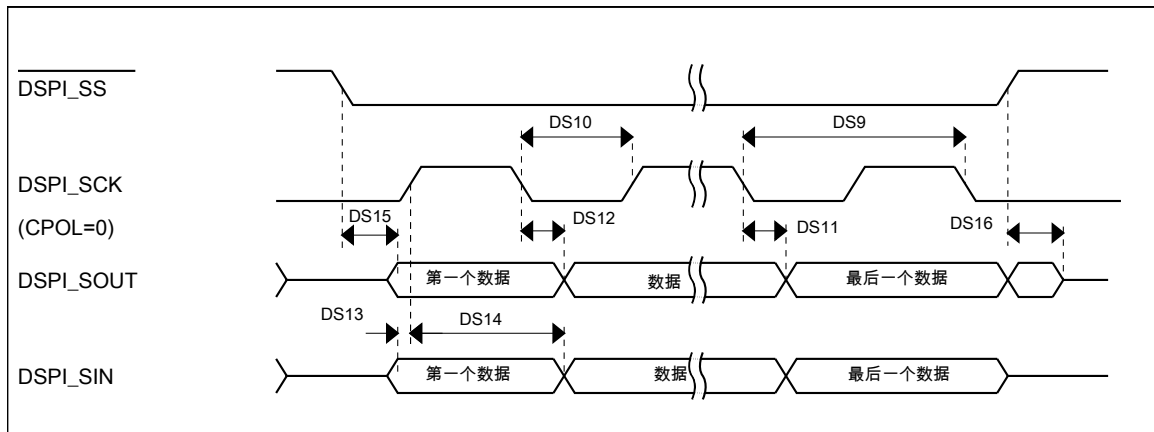
表 39. 从模式 DSPI 时序（窄电压范围）

编号	说明	最小值	最大值	单位
	工作电压	2.7	3.6	V
	工作频率	—	15	MHz
DS9	DSPI_SCK 输入周期	$4 \times t_{\text{BUS}}$	—	ns
DS10	DSPI_SCK 输入高/低电平时间	$(t_{\text{SCK}}/2) - 2$	$(t_{\text{SCK}}/2) + 2$	ns

下一页继续介绍此表...

表 39. 从模式 DSPI 时序（窄电压范围）（继续）

编号	说明	最小值	最大值	单位
DS11	DSPI_SCK 至 DSPI_SOUT 有效时间	—	21.4	ns
DS12	DSPI_SCK 至 DSPI_SOUT 无效时间	0	—	ns
DS13	DSPI_SIN 至 DSPI_SCK 输入建立时间	2.6	—	ns
DS14	DSPI_SCK 至 DSPI_SIN 输入保持时间	7	—	ns
DS15	DSPI_SS 有效至 DSPI_SOUT 驱动时间	—	17	ns
DS16	DSPI_SS 无效至 DSPI_SOUT 未驱动时间	—	17	ns


图 22. DSPI 典型 SPI 时序 — 从模式

3.8.4 DSPI 开关特性（全电压范围）

Deserial 串行外设接口(DSPI)可为主从操作提供同步串行总线。多数传输属性均可编程。下列表格提供了典型 DSPI 时序模式的时序特性。如需了解与慢速外设器件通信所用的修正传输格式，请参见芯片参考手册中的 SPI 章节。

表 40. 主模式 DSPI 时序（全电压范围）

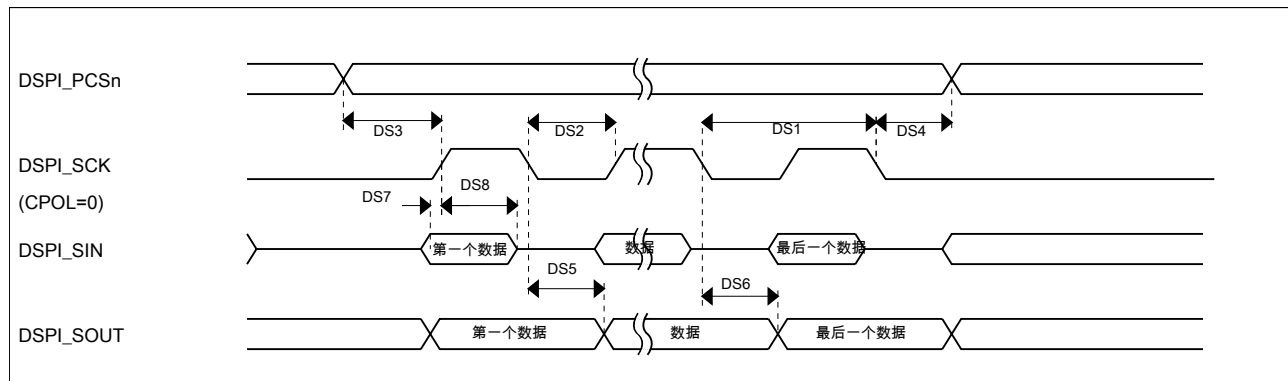
编号	说明	最小值	最大值	单位	附注
	工作电压	1.71	3.6	V	1
	工作频率	—	15	MHz	
DS1	DSPI_SCK 输出周期	$4 \times t_{BUS}$	—	ns	
DS2	DSPI_SCK 输出高/低电平时间	$(t_{SCK}/2) - 4$	$(t_{SCK}/2) + 4$	ns	
DS3	DSPI_PCS _n 有效至 DSPI_SCK 延时	$(t_{BUS} \times 2) - 4$	—	ns	2
DS4	DSPI_SCK 至 DSPI_PCS _n 无效延时	$(t_{BUS} \times 2) - 4$	—	ns	3

下一页继续介绍此表...

表 40. 主模式 DSPI 时序 (全电压范围) (继续)

编号	说明	最小值	最大值	单位	附注
DS5	DSPI_SCK 至 DSPI_SOUT 有效时间	—	10	ns	
DS6	DSPI_SCK 至 DSPI_SOUT 无效时间	-4.5	—	ns	
DS7	DSPI_SIN 至 DSPI_SCK 输入建立时间	24.6	—	ns	
DS8	DSPI_SCK 至 DSPI_SIN 输入保持时间	0	—	ns	

1. 此 DSPI 模块可以在处理器的整个工作电压范围内操作，若要在全电压范围内运行，其最大工作频率将会降低。
2. 此延时可通过 SPIx_CTARn[PSSCK]和 SPIx_CTARn[CSSCK]编程。
3. 此延时可通过 SPIx_CTARn[PASC]和 SPIx_CTARn[ASC]编程。


图 23. DSPI 典型 SPI 时序 — 主模式
表 41. 从模式 DSPI 时序 (全电压范围)

编号	说明	最小值	最大值	单位
	工作电压	1.71	3.6	V
	工作频率	—	7.5	MHz
DS9	DSPI_SCK 输入周期	$8 \times t_{\text{BUS}}$	—	ns
DS10	DSPI_SCK 输入高/低电平时间	$(t_{\text{SCK}/2}) - 4$	$(t_{\text{SCK}/2}) + 4$	ns
DS11	DSPI_SCK 至 DSPI_SOUT 有效时间	—	29.5	ns
DS12	DSPI_SCK 至 DSPI_SOUT 无效时间	0	—	ns
DS13	DSPI_SIN 至 DSPI_SCK 输入建立时间	3.2	—	ns
DS14	DSPI_SCK 至 DSPI_SIN 输入保持时间	7	—	ns
DS15	$\overline{\text{DSPI_SS}}$ 有效至 DSPI_SOUT 驱动时间	—	25	ns
DS16	$\overline{\text{DSPI_SS}}$ 无效至 DSPI_SOUT 未驱动时间	—	25	ns

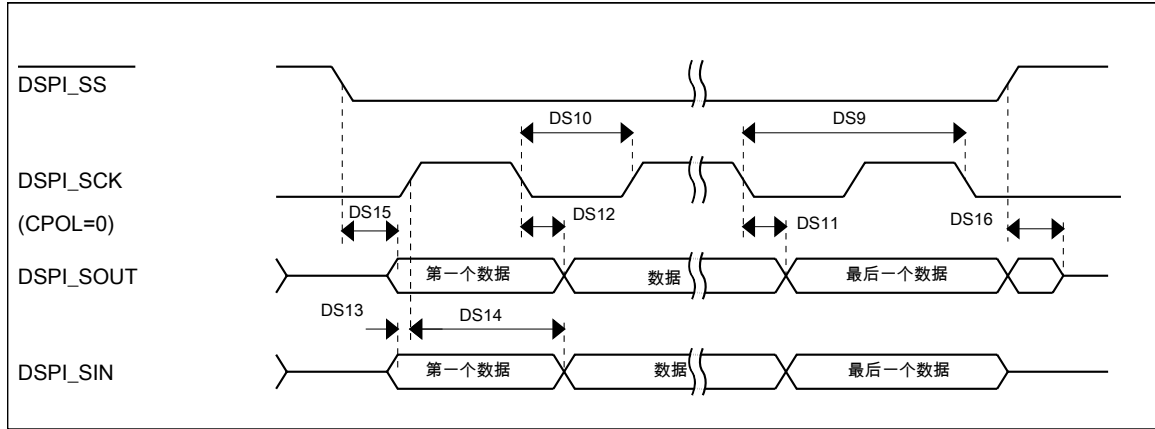


图 24. DSPI 典型 SPI 时序 — 从模式

3.8.5 I²C 总线时序

 表 42. I²C 时序

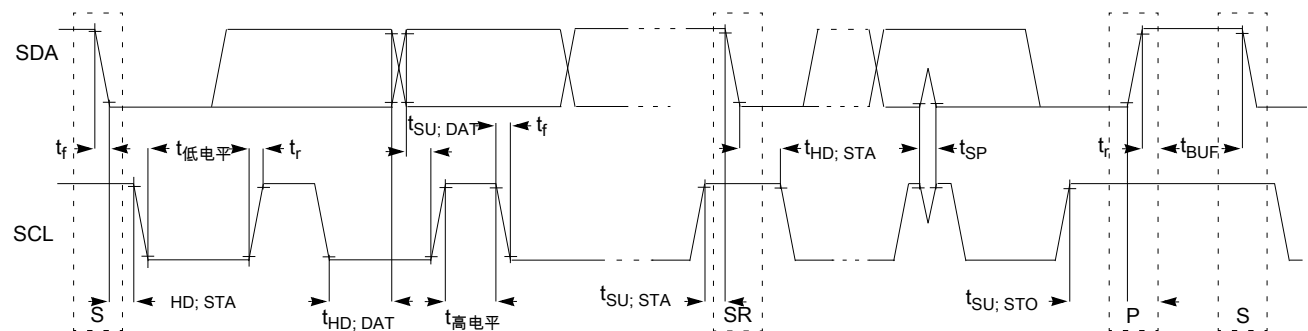
特性	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400 ¹	kHz
重复 START 条件的保持时间。此周期后生成第一个时钟脉冲。	$t_{HD}; STA$	4	—	0.6	—	μs
SCL 时钟的 LOW 周期	t_{LOW}	4.7	—	1.25	—	μs
SCL 时钟的 HIGH 周期	t_{HIGH}	4	—	0.6	—	μs
重复 START 条件的建立时间	$t_{SU}; STA$	4.7	—	0.6	—	μs
I ² C 总线器件的数据保持时间	$t_{HD}; DAT$	0 ²	3.45 ³	0 ⁴	0.9 ²	μs
数据建立时间	$t_{SU}; DAT$	250 ⁵	—	100 ^{3,6}	—	ns
SDA 和 SCL 信号的上升时间	t_r	—	1000	$20 + 0.1C_b$ ⁷	300	ns
SDA 和 SCL 信号的下降时间	t_f	—	300	$20 + 0.1C_b$ ⁶	300	ns
STOP 条件的建立时间	$t_{SU}; STO$	4	—	0.6	—	μs
STOP 和 START 条件之间的总线空闲时间	t_{BUF}	4.7	—	1.3	—	μs
输入滤波器必须抑制的尖峰脉宽	t_{SP}	N/A	N/A	0	50	ns

- 在采用最大总线负载的快速模式下，仅当在全电压范围内使用高电流驱动引脚以及使用正常驱动引脚且 $VDD \geq 2.7 V$ 时，才能获得最高 SCL 时钟频率。
- 主机模式 I²C 在 SCL 下降沿的同时使地址字节的 ACK 变为无效。如果没有从机应答此地址字节，则产生负保持时间，具体取决于 SDA 和 SCL 线的边沿速率。
- 只有在器件不延长 SCL 信号的 LOW 周期(t_{LOW})时，才必须满足最大 $t_{HD}; DAT$ 。
- 输入信号压摆率 = 10 ns，输出负载 = 50 pF
- 如果 TX FIFO 为空，则从机-发送器模式下的建立时间为 1 个 IPBus 时钟周期。
- 可在标准模式 I²C 总线系统中使用快速模式 I²C 总线器件，但此时必须满足 $t_{SU}; DAT \geq 250 ns$ 的要求。器件不延长 SCL 信号的 LOW 周期时，将自动适用该情形。如果此类器件确实延长了 SCL 信号的 LOW 周期，则它必须在释放 SCL 线之前，将下一个数据位输出至 SDA 线 $t_{rmax} + t_{SU}; DAT = 1000 + 250 = 1250 ns$ (根据标准模式 I²C 总线规范)。
- C_b = 一条总线线路的总电容，单位为 pF。

表 43. I²C 1 Mbps 时序

特性	符号	最小值	最大值	单位
SCL 时钟频率	f_{SCL}	0	1 ¹	MHz
重复 START 条件的保持时间。此周期后生成第一个时钟脉冲。	$t_{HD}; STA$	0.26	—	μs
SCL 时钟的 LOW 周期	t_{LOW}	0.5	—	μs
SCL 时钟的 HIGH 周期	t_{HIGH}	0.26	—	μs
重复 START 条件的建立时间	$t_{SU}; STA$	0.26	—	μs
I ² C 总线器件的数据保持时间	$t_{HD}; DAT$	0	—	μs
数据建立时间	$t_{SU}; DAT$	50	—	ns
SDA 和 SCL 信号的上升时间	t_r	$20 + 0.1C_b$ ²	120	ns
SDA 和 SCL 信号的下降时间	t_f	$20 + 0.1C_b$ ²	120	ns
STOP 条件的建立时间	$t_{SU}; STO$	0.26	—	μs
STOP 和 START 条件之间的总线空闲时间	t_{BUF}	0.5	—	μs
输入滤波器必须抑制的尖峰脉宽	t_{SP}	0	50	ns

1. 在全电压范围内使用高驱动引脚时，1 Mbp 最大 SCL 时钟频率支持最大总线负载。
2. C_b = 一条总线线路的总电容，单位为 pF。


图 25. I²C 总线器件上的时序定义

3.8.6 UART 开关特性

请参见[通用开关特性](#)。

3.8.7 I2S/SAI 开关特性

本节将描述 I2S/SAI 模块在主模式（时钟为内部驱动）和从模式（时钟信号为输入）中的交流时序。所有给出的时序均针对同相串行时钟极性（TCR2[BCP]为 0，RCR2[BCP]为 0）和同相帧同步（TCR4[FSP]为 0，RCR4[FSP]为 0）。如果时钟极性和/或帧同步置为反相，通过反转下图所示的位时钟信号（BCLK）和/或帧同步（FS）信号，可使所有时序仍然有效。

3.8.7.1 在窄工作电压范围内 NORMAL RUN、WAIT 和 STOP 模式的性能

本节中将描述该器件在窄工作电压范围内进行 NORMAL RUN、WAIT 和 STOP 模式的操作性能。

表 44. NORMAL RUN、WAIT 和 STOP 模式中的 I2S/SAI 主模式时序（窄电压范围）

编号	特性	最小值	最大值	单位
	工作电压	2.7	3.6	V
S1	I2S_MCLK 周期时间	40	—	ns
S2	I2S_MCLK 高/低电平脉宽	45%	55%	MCLK 周期
S3	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输出）	80	—	ns
S4	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽	45%	55%	BCLK 周期
S5	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出有效时间	—	15	ns
S6	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出无效时间	0	—	ns
S7	I2S_TX_BCLK 至 I2S_TXD 有效时间	—	15	ns
S8	I2S_TX_BCLK 至 I2S_TXD 无效时间	0	—	ns
S9	I2S_RX_BCLK 之前的 I2S_RXD/I2S_RX_FS 输入建立时间	18	—	ns
S10	I2S_RX_BCLK 之后的 I2S_RXD/I2S_RX_FS 输入保持时间	0	—	ns

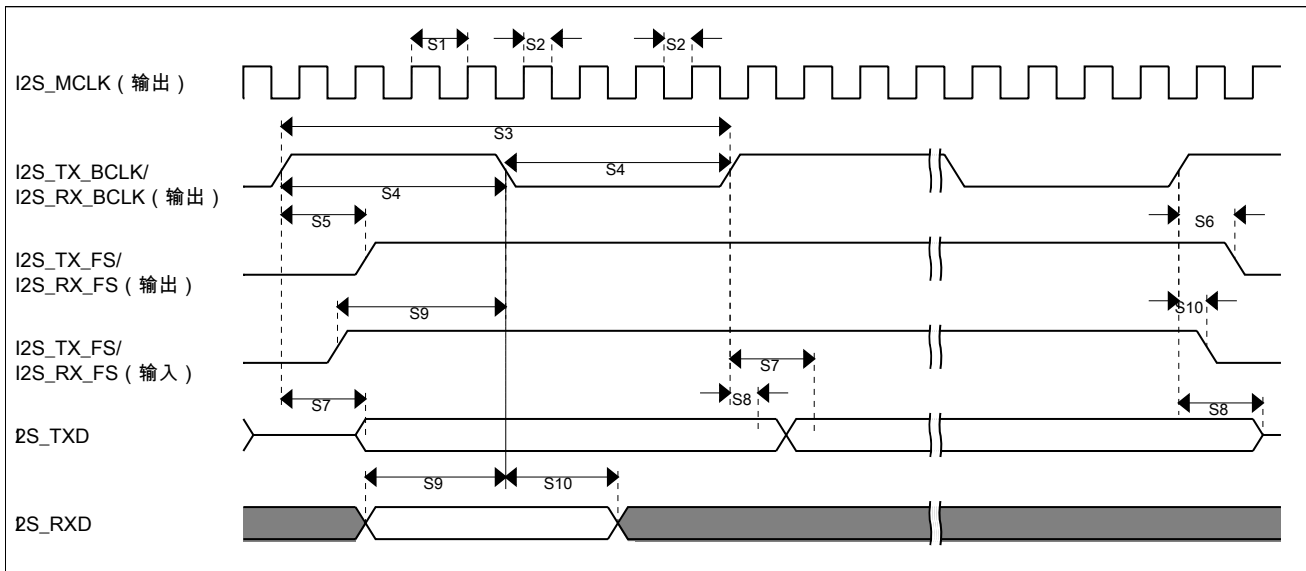
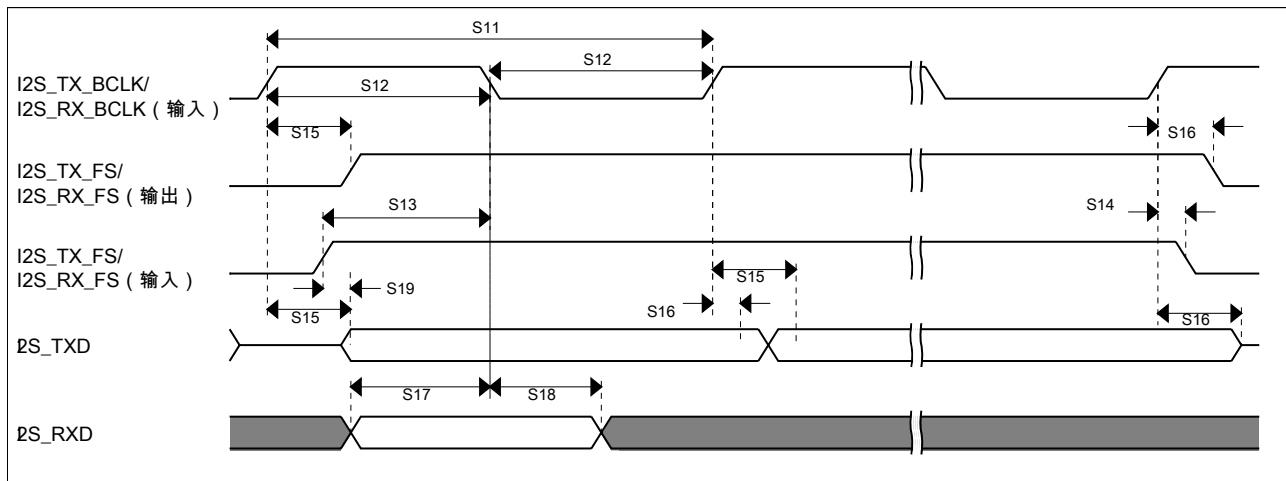


图 26. I2S/SAI 时序 — 主模式

表 45. NORMAL RUN、WAIT 和 STOP 模式中的 I2S/SAI 从模式时序（窄电压范围）

编号	特性	最小值	最大值	单位
	工作电压	2.7	3.6	V
S11	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输入）	80	—	ns
S12	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽（输入）	45%	55%	MCLK 周期
S13	I2S_TX_BCLK/I2S_RX_BCLK 之前的 I2S_TX_FS/ I2S_RX_FS 输入建立时间	4.5	—	ns
S14	I2S_TX_BCLK/I2S_RX_BCLK 之后的 I2S_TX_FS/ I2S_RX_FS 输入保持时间	2	—	ns
S15	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出有效时间	—	20	ns
S16	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出无效时间	0	—	ns
S17	I2S_RX_BCLK 之前的 I2S_RXD 建立时间	4.5	—	ns
S18	I2S_RX_BCLK 之后的 I2S_RXD 保持时间	2	—	ns
S19	I2S_TX_FS 输入有效至 I2S_TXD 输出有效时间 ¹	—	25	ns

1. 适用于每帧数据的第一位，且 TCR4[FSE]位必须已清零


图 27. I2S/SAI 时序 — 从模式

3.8.7.2 在全工作电压范围内 NORMAL RUN、WAIT 和 STOP 模式的性能

本节中将描述该器件在全工作电压范围内进行 NORMAL RUN、WAIT 和 STOP 模式的操作性能

表 46. NORMAL RUN、WAIT 和 STOP 模式中的 I2S/SAI 主模式时序（全电压范围）

编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V
S1	I2S_MCLK 周期时间	40	—	ns
S2	I2S_MCLK 高/低电平脉宽	45%	55%	MCLK 周期
S3	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输出）	80	—	ns
S4	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽	45%	55%	BCLK 周期
S5	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出有效时间	—	15	ns
S6	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出无效时间	-1.0	—	ns
S7	I2S_TX_BCLK 至 I2S_TXD 有效时间	—	15	ns
S8	I2S_TX_BCLK 至 I2S_TXD 无效时间	0	—	ns
S9	I2S_RX_BCLK 之前的 I2S_RXD/I2S_RX_FS 输入建立时间	27	—	ns
S10	I2S_RX_BCLK 之后的 I2S_RXD/I2S_RX_FS 输入保持时间	0	—	ns

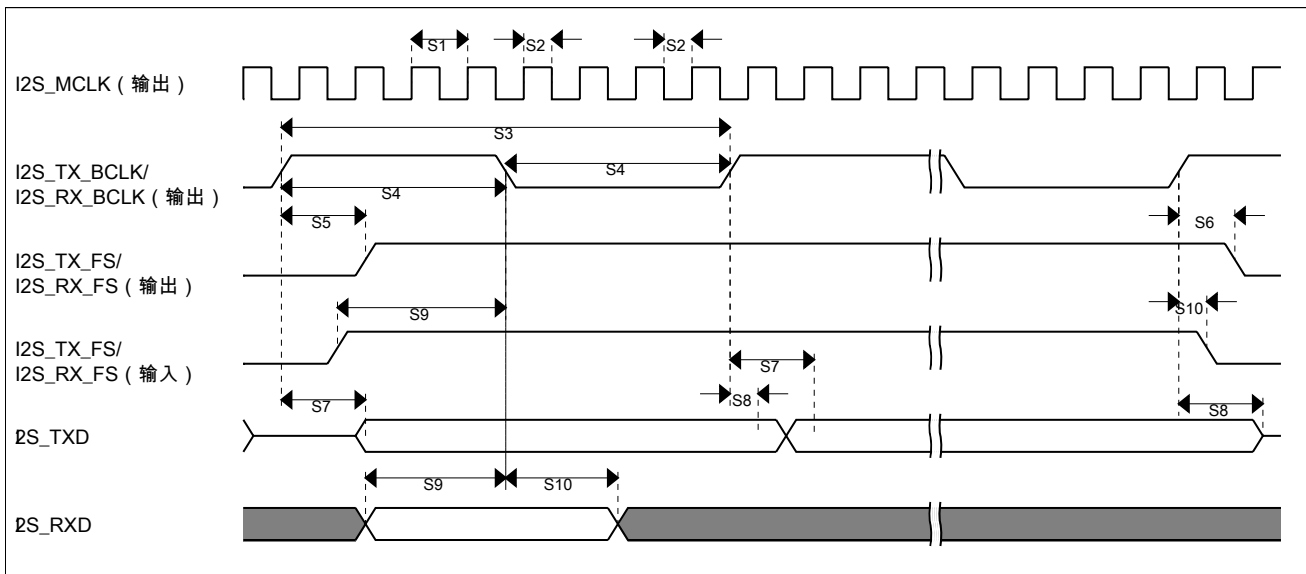


图 28. I2S/SAI 时序 — 主模式

表 47. NORMAL RUN、WAIT 和 STOP 模式中的 I2S/SAI 从模式时序（全电压范围）

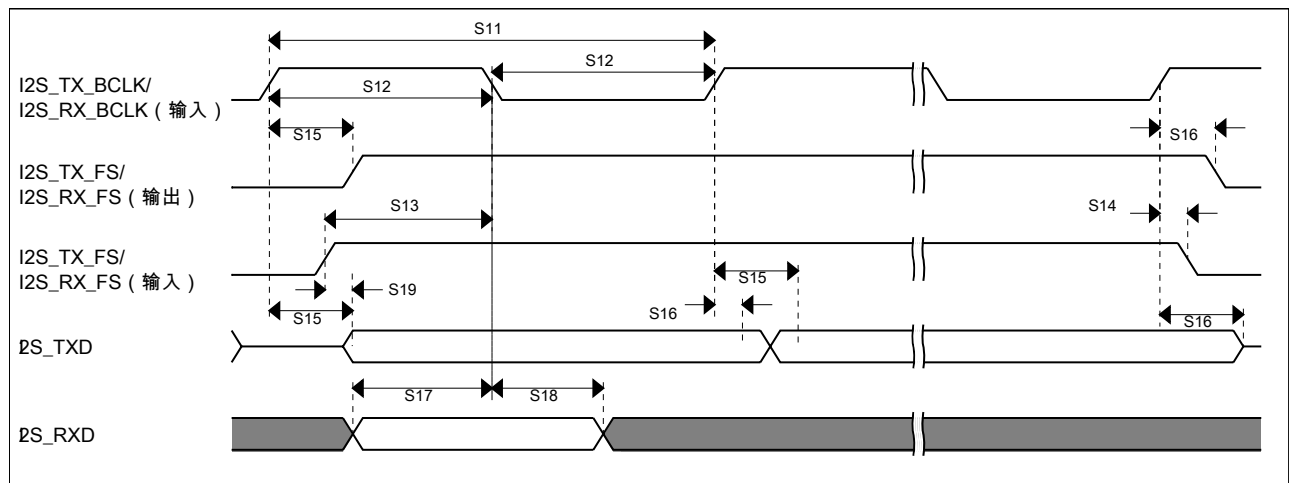
编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V
S11	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输入）	80	—	ns

下一页继续介绍此表...

表 47. NORMAL RUN、WAIT 和 STOP 模式中的 I2S/SAI 从模式时序（全电压范围）（继续）

编号	特性	最小值	最大值	单位
S12	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽（输入）	45%	55%	MCLK 周期
S13	I2S_TX_BCLK/I2S_RX_BCLK 之前的 I2S_TX_FS/ I2S_RX_FS 输入建立时间	5.8	—	ns
S14	I2S_TX_BCLK/I2S_RX_BCLK 之后的 I2S_TX_FS/ I2S_RX_FS 输入保持时间	2	—	ns
S15	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出有效时间	—	28.5	ns
S16	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出无效时间	0	—	ns
S17	I2S_RX_BCLK 之前的 I2S_RXD 建立时间	5.8	—	ns
S18	I2S_RX_BCLK 之后的 I2S_RXD 保持时间	2	—	ns
S19	I2S_TX_FS 输入有效至 I2S_TXD 输出有效时间 ¹	—	26.3	ns

1. 适用于每帧数据的第一位，且 TCR4[FSE]位必须已清零


图 29. I2S/SAI 时序 — 从模式

3.8.7.3 在全工作电压范围内进行 VLPR、VLPW 和 VLPS 模式的性能

本节中将描述该器件在全工作电压范围内进行 VLPR、VLPW 和 VLPS 模式的操作性能

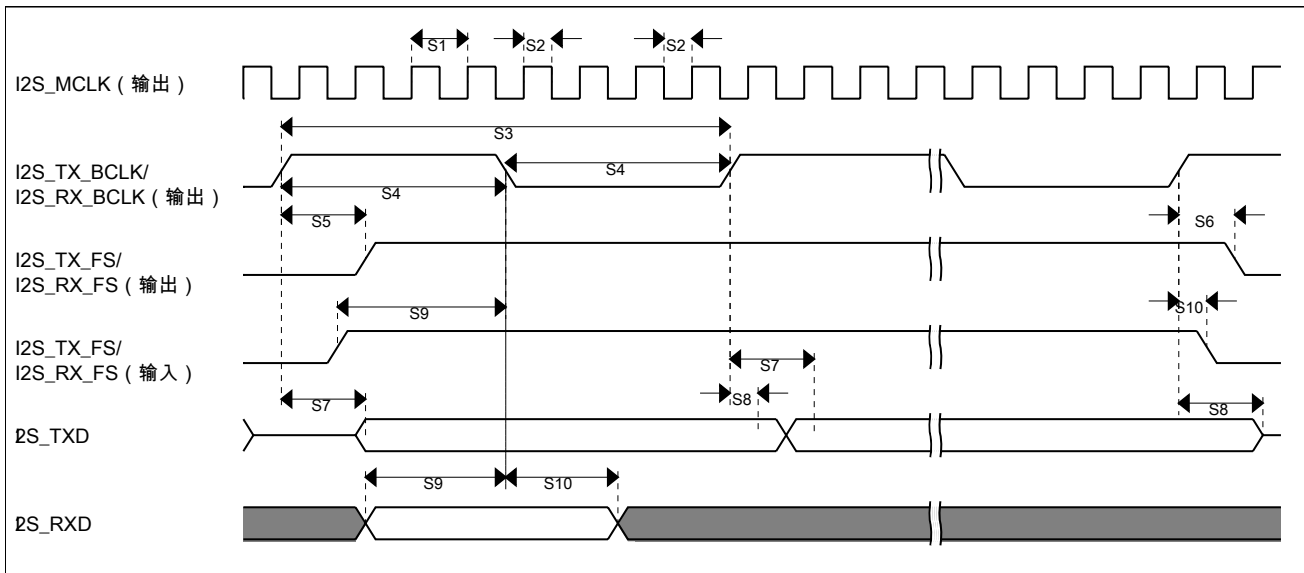
表 48. VLPR、VLPW 和 VLPS 模式中的 I2S/SAI 主模式时序（全电压范围）

编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V
S1	I2S_MCLK 周期时间	62.5	—	ns
S2	I2S_MCLK 高/低电平脉宽	45%	55%	MCLK 周期
S3	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输出）	250	—	ns

下一页继续介绍此表...

表 48. VLPR、VLPW 和 VLPS 模式中的 I2S/SAI 主模式时序（全电压范围）（继续）

编号	特性	最小值	最大值	单位
S4	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽	45%	55%	BCLK 周期
S5	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出有效时间	—	45	ns
S6	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出无效时间	-1	—	ns
S7	I2S_TX_BCLK 至 I2S_TXD 有效时间	—	45	ns
S8	I2S_TX_BCLK 至 I2S_TXD 无效时间	0	—	ns
S9	I2S_RX_BCLK 之前的 I2S_RXD/I2S_RX_FS 输入建立时间	45	—	ns
S10	I2S_RX_BCLK 之后的 I2S_RXD/I2S_RX_FS 输入保持时间	0	—	ns


图 30. I2S/SAI 时序 — 主模式
表 49. VLPR、VLPW 和 VLPS 模式中的 I2S/SAI 从模式时序（全电压范围）

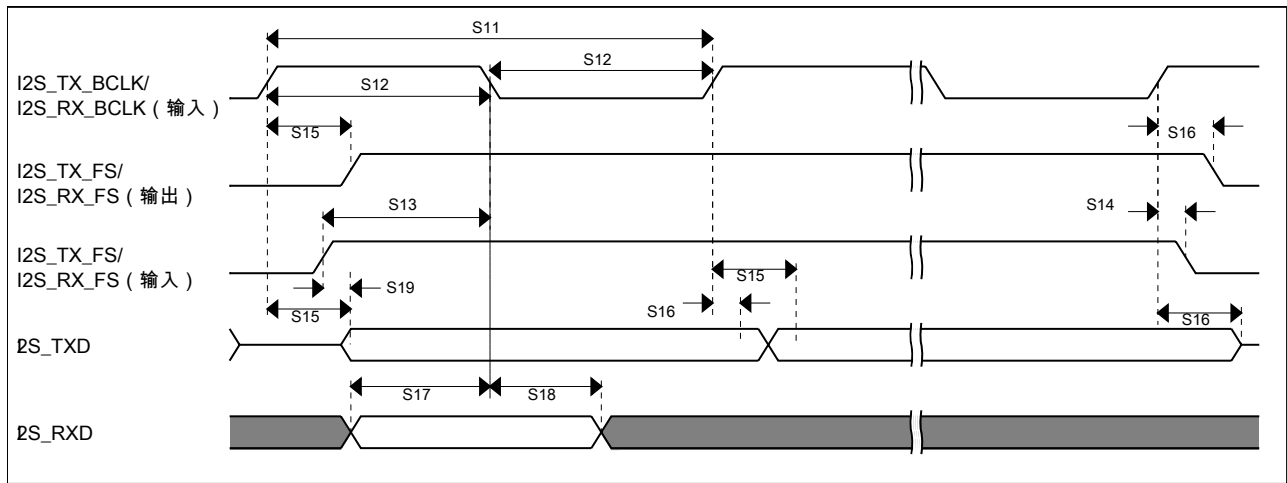
编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V
S11	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输入）	250	—	ns
S12	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽（输入）	45%	55%	MCLK 周期
S13	I2S_TX_BCLK/I2S_RX_BCLK 之前的 I2S_TX_FS/ I2S_RX_FS 输入建立时间	30	—	ns
S14	I2S_TX_BCLK/I2S_RX_BCLK 之后的 I2S_TX_FS/ I2S_RX_FS 输入保持时间	7	—	ns

下一页继续介绍此表...

表 49. VLPR、VLPW 和 VLPS 模式中的 I2S/SAI 从模式时序（全电压范围）（继续）

编号	特性	最小值	最大值	单位
S15	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出有效时间	—	63	ns
S16	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出无效时间	0	—	ns
S17	I2S_RX_BCLK 之前的 I2S_RXD 建立时间	30	—	ns
S18	I2S_RX_BCLK 之后的 I2S_RXD 保持时间	4	—	ns
S19	I2S_TX_FS 输入有效至 I2S_TXD 输出有效时间 ¹	—	72	ns

1. 适用于每帧数据的第一位，且 TCR4[FSE]位必须已清零


图 31. I2S/SAI 时序 — 从模式

4 尺寸

4.1 获取封装尺寸

封装图纸中提供了封装尺寸。

如要查找封装图，请访问 freescale.com，并搜索封装图的文档编号关键字：

如果需要此封装的图纸	请使用此文档编号
64 引脚 LQFP	98ASS23234W
64 引脚 MAPBGA	98ASA00420D
100 引脚 LQFP	98ASS23308W
121 引脚 XFBGA	98ASA00595D

5 引脚分配

5.1 K22F 信号多路复用和引脚分配

下表显示的是各引脚上的信号以及这些引脚在本文档中所支持器件上的位置。“端口控制模块”负责选择每个引脚上的复用功能。

121 BGA	100 LQFP	64 LQFP	64 MAP BGA	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
E4	1	1	A1	PTE0/ CLKOUT32 K	ADC1_ SE4a	ADC1_ SE4a	PTE0/ CLKOUT32 K	SPI1_PCS1	UART1_TX			I2C1_SDA	RTC_ CLKOUT	
E3	2	2	B1	PTE1/ LLWU_P0	ADC1_ SE5a	ADC1_ SE5a	PTE1/ LLWU_P0	SPI1_ SOUT	UART1_RX			I2C1_SCL	SPI1_SIN	
E2	3	—	—	PTE2/ LLWU_P1	ADC1_ SE6a	ADC1_ SE6a	PTE2/ LLWU_P1	SPI1_SCK	UART1_ CTS_b					
F4	4	—	—	PTE3	ADC1_ SE7a	ADC1_ SE7a	PTE3	SPI1_SIN	UART1_ RTS_b				SPI1_ SOUT	
H7	5	—	—	PTE4/ LLWU_P2	禁用		PTE4/ LLWU_P2	SPI1_PCS0	LPUART0_ TX					
G4	6	—	—	PTE5	禁用		PTE5	SPI1_PCS2	LPUART0_ RX			FTM3_CH0		
F3	7	—	—	PTE6	禁用		PTE6	SPI1_PCS3	LPUART0_ CTS_b	I2S0_MCLK		FTM3_CH1	USB_SOF_ OUT	
E6	8	3	C5	VDD	VDD	VDD								
G7	9	4	C4	VSS	VSS	VSS								
L6	—	—	—	VSS	VSS	VSS								
F1	10	5	E1	USB0_DP	USB0_DP	USB0_DP								
F2	11	6	D1	USB0_DM	USB0_DM	USB0_DM								
G1	12	7	E2	VOUT33	VOUT33	VOUT33								
G2	13	8	D2	VREGIN	VREGIN	VREGIN								
H1	14	—	—	ADC0_DP1	ADC0_DP1	ADC0_DP1								
H2	15	—	—	ADC0_DM1	ADC0_DM1	ADC0_DM1								
J1	16	—	—	ADC1_DP1/ ADC0_DP2	ADC1_DP1/ ADC0_DP2	ADC1_DP1/ ADC0_DP2								
J2	17	—	—	ADC1_ DM1/ ADC0_DM2	ADC1_ DM1/ ADC0_DM2	ADC1_ DM1/ ADC0_DM2								
K1	18	9	G1	ADC0_DP0/ ADC1_DP3	ADC0_DP0/ ADC1_DP3	ADC0_DP0/ ADC1_DP3								
K2	19	10	F1	ADC0_ DM0/ ADC1_DM3	ADC0_ DM0/ ADC1_DM3	ADC0_ DM0/ ADC1_DM3								

121 BGA	100 LQFP	64 LQFP	64 MAP BGA	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
L1	20	11	G2	ADC1_DP0/ ADC0_DP3	ADC1_DP0/ ADC0_DP3	ADC1_DP0/ ADC0_DP3								
L2	21	12	F2	ADC1_DM0/ ADC0_DM3	ADC1_DM0/ ADC0_DM3	ADC1_DM0/ ADC0_DM3								
F5	22	13	F4	VDDA	VDDA	VDDA								
G5	23	14	G4	VREFH	VREFH	VREFH								
G6	24	15	G3	VREFL	VREFL	VREFL								
F6	25	16	F3	VSSA	VSSA	VSSA								
J3	—	—	—	ADC1_SE16/ ADC0_SE22	ADC1_SE16/ ADC0_SE22	ADC1_SE16/ ADC0_SE22								
H3	—	—	—	ADC0_SE16/ CMP1_IN2/ ADC0_SE21	ADC0_SE16/ CMP1_IN2/ ADC0_SE21	ADC0_SE16/ CMP1_IN2/ ADC0_SE21								
L3	26	17	H1	VREF_OUT/ CMP1_IN5/ CMP0_IN5/ ADC1_SE18	VREF_OUT/ CMP1_IN5/ CMP0_IN5/ ADC1_SE18	VREF_OUT/ CMP1_IN5/ CMP0_IN5/ ADC1_SE18								
K5	27	18	H2	DAC0_OUT/ CMP1_IN3/ ADC0_SE23	DAC0_OUT/ CMP1_IN3/ ADC0_SE23	DAC0_OUT/ CMP1_IN3/ ADC0_SE23								
K4	—	—	—	DAC1_OUT/ CMP0_IN4/ ADC1_SE23	DAC1_OUT/ CMP0_IN4/ ADC1_SE23	DAC1_OUT/ CMP0_IN4/ ADC1_SE23								
L7	—	—	—	RTC_WAKEUP_B	RTC_WAKEUP_B	RTC_WAKEUP_B								
L4	28	19	H3	XTAL32	XTAL32	XTAL32								
L5	29	20	H4	EXTAL32	EXTAL32	EXTAL32								
K6	30	21	H5	VBAT	VBAT	VBAT								
H5	31	—	—	PTE24	ADC0_SE17	ADC0_SE17	PTE24				I2C0_SCL	EWM_OUT_b		
J5	32	—	—	PTE25	ADC0_SE18	ADC0_SE18	PTE25				I2C0_SDA	EWM_IN		
H6	33	—	—	PTE26/ CLKOUT32K	禁用		PTE26/ CLKOUT32K					RTC_CLKOUT	USB_CLKIN	

121 BGA	100 LQFP	64 LQFP	64 MAP BGA	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
J6	34	22	D3	PTA0	JTAG_TCLK/ SWD_CLK/ EZP_CLK		PTA0	UART0_CTS_b	FTM0_CH5				JTAG_TCLK/ SWD_CLK	EZP_CLK
H8	35	23	D4	PTA1	JTAG_TDI/ EZP_DI		PTA1	UART0_RX	FTM0_CH6				JTAG_TDI	EZP_DI
J7	36	24	E5	PTA2	JTAG_TDO/ TRACE_SWO/ EZP_DO		PTA2	UART0_TX	FTM0_CH7				JTAG_TDO/ TRACE_SWO	EZP_DO
H9	37	25	D5	PTA3	JTAG_TMS/ SWD_DIO		PTA3	UART0_RTS_b	FTM0_CH0				JTAG_TMS/ SWD_DIO	
J8	38	26	G5	PTA4/ LLWU_P3	NMI_b/ EZP_CS_b		PTA4/ LLWU_P3		FTM0_CH1				NMI_b	EZP_CS_b
K7	39	27	F5	PTA5	禁用		PTA5	USB_CLKIN	FTM0_CH2			I2S0_TX_BCLK	JTAG_TRST_b	
E5	40	—	—	VDD	VDD	VDD								
G3	41	—	—	VSS	VSS	VSS								
J9	—	—	—	PTA10	禁用		PTA10		FTM2_CH0			FTM2_QD_PHA		
J4	—	—	—	PTA11	禁用		PTA11		FTM2_CH1			FTM2_QD_PHB		
K8	42	28	H6	PTA12	禁用		PTA12		FTM1_CH0			I2S0_TXD0	FTM1_QD_PHA	
L8	43	29	G6	PTA13/ LLWU_P4	禁用		PTA13/ LLWU_P4		FTM1_CH1			I2S0_TX_FS	FTM1_QD_PHB	
K9	44	—	—	PTA14	禁用		PTA14	SPI0_PCS0	UART0_TX			I2S0_RX_BCLK		
L9	45	—	—	PTA15	禁用		PTA15	SPI0_SCK	UART0_RX			I2S0_RXD0		
J10	46	—	—	PTA16	禁用		PTA16	SPI0_SOUT	UART0_CTS_b			I2S0_RX_FS		
H10	47	—	—	PTA17	ADC1_SE17	ADC1_SE17	PTA17	SPI0_SIN	UART0_RTS_b			I2S0_MCLK		
L10	48	30	G7	VDD	VDD	VDD								
K10	49	31	H7	VSS	VSS	VSS								
L11	50	32	H8	PTA18	EXTAL0	EXTAL0	PTA18		FTM0_FLT2	FTM_CLKIN0				
K11	51	33	G8	PTA19	XTAL0	XTAL0	PTA19		FTM1_FLT0	FTM_CLKIN1	LPTMR0_ALT1			
J11	52	34	F8	RESET_b	RESET_b	RESET_b								
H11	—	—	—	PTA29	禁用		PTA29					FB_A24		
G11	53	35	F7	PTB0/ LLWU_P5	ADC0_SE8/ ADC1_SE8	ADC0_SE8/ ADC1_SE8	PTB0/ LLWU_P5	I2C0_SCL	FTM1_CH0			FTM1_QD_PHA		

121 BGA	100 LQFP	64 LQFP	64 MAP BGA	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
G10	54	36	F6	PTB1	ADC0_SE9/ ADC1_SE9	ADC0_SE9/ ADC1_SE9	PTB1	I2C0_SDA	FTM1_CH1			FTM1_QD_ PHB		
G9	55	37	E7	PTB2	ADC0_ SE12	ADC0_ SE12	PTB2	I2C0_SCL	UART0_ RTS_b			FTM0_ FLT3		
G8	56	38	E8	PTB3	ADC0_ SE13	ADC0_ SE13	PTB3	I2C0_SDA	UART0_ CTS_b			FTM0_ FLT0		
F11	—	—	—	PTB6	ADC1_ SE12	ADC1_ SE12	PTB6				FB_AD23			
E11	—	—	—	PTB7	ADC1_ SE13	ADC1_ SE13	PTB7				FB_AD22			
D11	—	—	—	PTB8	禁用		PTB8		LPUART0_ RTS_b		FB_AD21			
E10	57	—	—	PTB9	禁用		PTB9	SPI1_PCS1	LPUART0_ CTS_b		FB_AD20			
D10	58	—	—	PTB10	ADC1_ SE14	ADC1_ SE14	PTB10	SPI1_PCS0	LPUART0_ RX		FB_AD19	FTM0_ FLT1		
C10	59	—	—	PTB11	ADC1_ SE15	ADC1_ SE15	PTB11	SPI1_SCK	LPUART0_ TX		FB_AD18	FTM0_ FLT2		
—	60	—	—	VSS	VSS	VSS								
—	61	—	—	VDD	VDD	VDD								
B10	62	39	E6	PTB16	禁用		PTB16	SPI1_ SOUT	UART0_RX	FTM_ CLKIN0	FB_AD17	EWM_IN		
E9	63	40	D7	PTB17	禁用		PTB17	SPI1_SIN	UART0_TX	FTM_ CLKIN1	FB_AD16	EWM_ OUT_b		
D9	64	41	D6	PTB18	禁用		PTB18		FTM2_CH0	I2S0_TX_ BCLK	FB_AD15	FTM2_QD_ PHA		
C9	65	42	C7	PTB19	禁用		PTB19		FTM2_CH1	I2S0_TX_ FS	FB_OE_b	FTM2_QD_ PHB		
F10	66	—	—	PTB20	禁用		PTB20				FB_AD31	CMP0_OUT		
F9	67	—	—	PTB21	禁用		PTB21				FB_AD30	CMP1_OUT		
F8	68	—	—	PTB22	禁用		PTB22				FB_AD29			
E8	69	—	—	PTB23	禁用		PTB23		SPI0_PCS5		FB_AD28			
B9	70	43	D8	PTC0	ADC0_ SE14	ADC0_ SE14	PTC0	SPI0_PCS4	PDB0_ EXTRG	USB_SOF_ OUT	FB_AD14			
D8	71	44	C6	PTC1/ LLWU_P6	ADC0_ SE15	ADC0_ SE15	PTC1/ LLWU_P6	SPI0_PCS3	UART1_ RTS_b	FTM0_CH0	FB_AD13	I2S0_TXD0	LPUART0_ RTS_b	
C8	72	45	B7	PTC2	ADC0_ SE4b/ CMP1_IN0	ADC0_ SE4b/ CMP1_IN0	PTC2	SPI0_PCS2	UART1_ CTS_b	FTM0_CH1	FB_AD12	I2S0_TX_ FS	LPUART0_ CTS_b	
B8	73	46	C8	PTC3/ LLWU_P7	CMP1_IN1	CMP1_IN1	PTC3/ LLWU_P7	SPI0_PCS1	UART1_RX	FTM0_CH2	CLKOUT	I2S0_TX_ BCLK	LPUART0_ RX	
—	74	47	E3	VSS	VSS	VSS								
—	75	48	E4	VDD	VDD	VDD								



引脚分配

121 BGA	100 LQFP	64 LQFP	64 MAP BGA	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
A8	76	49	B8	PTC4/ LLWU_P8	禁用		PTC4/ LLWU_P8	SPI0_PCS0	UART1_TX	FTM0_CH3	FB_AD11	CMP1_OUT	LPUART0_TX	
D7	77	50	A8	PTC5/ LLWU_P9	禁用		PTC5/ LLWU_P9	SPI0_SCK	LPTMR0_ALT2	I2S0_RXD0	FB_AD10	CMP0_OUT	FTM0_CH2	
C7	78	51	A7	PTC6/ LLWU_P10	CMP0_IN0	CMP0_IN0	PTC6/ LLWU_P10	SPI0_SOUT	PDB0_EXTRG	I2S0_RX_BCLK	FB_AD9	I2S0_MCLK		
B7	79	52	B6	PTC7	CMP0_IN1	CMP0_IN1	PTC7	SPI0_SIN	USB_SOF_OUT	I2S0_RX_FS	FB_AD8			
A7	80	53	A6	PTC8	ADC1_SE4b/ CMP0_IN2	ADC1_SE4b/ CMP0_IN2	PTC8		FTM3_CH4	I2S0_MCLK	FB_AD7			
D6	81	54	B5	PTC9	ADC1_SE5b/ CMP0_IN3	ADC1_SE5b/ CMP0_IN3	PTC9		FTM3_CH5	I2S0_RX_BCLK	FB_AD6	FTM2_FLT0		
C6	82	55	B4	PTC10	ADC1_SE6b	ADC1_SE6b	PTC10	I2C1_SCL	FTM3_CH6	I2S0_RX_FS	FB_AD5			
C5	83	56	A5	PTC11/ LLWU_P11	ADC1_SE7b	ADC1_SE7b	PTC11/ LLWU_P11	I2C1_SDA	FTM3_CH7		FB_RW_b			
B6	84	—	—	PTC12	禁用		PTC12				FB_AD27	FTM3_FLT0		
A6	85	—	—	PTC13	禁用		PTC13				FB_AD26			
A5	86	—	—	PTC14	禁用		PTC14				FB_AD25			
B5	87	—	—	PTC15	禁用		PTC15				FB_AD24			
—	88	—	—	VSS	VSS	VSS								
—	89	—	—	VDD	VDD	VDD								
D5	90	—	—	PTC16	禁用		PTC16		LPUART0_RX		FB_CS5_b/ FB_TSIZ1/ FB_BE23_16_BLS15_8_b			
C4	91	—	—	PTC17	禁用		PTC17		LPUART0_TX		FB_CS4_b/ FB_TSIZ0/ FB_BE31_24_BLS7_0_b			
B4	92	—	—	PTC18	禁用		PTC18		LPUART0_RTS_b		FB_TBST_b/ FB_CS2_b/ FB_BE15_8_BLS23_16_b			
A4	—	—	—	PTC19	禁用		PTC19		LPUART0_CTS_b		FB_CS3_b/ FB_BE7_0_BLS31_24_b	FB_TA_b		

121 BGA	100 LQFP	64 LQFP	64 MAP BGA	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
D4	93	57	C3	PTD0/ LLWU_P12	禁用		PTD0/ LLWU_P12	SPI0_PCS0	UART2_ RTS_b	FTM3_CH0	FB_ALE/ FB_CS1_b/ FB_TS_b	LPUART0_ RTS_b		
D3	94	58	A4	PTD1	ADC0_ SE5b	ADC0_ SE5b	PTD1	SPI0_SCK	UART2_ CTS_b	FTM3_CH1	FB_CS0_b	LPUART0_ CTS_b		
C3	95	59	C2	PTD2/ LLWU_P13	禁用		PTD2/ LLWU_P13	SPI0_ SOUT	UART2_RX	FTM3_CH2	FB_AD4	LPUART0_ RX	I2C0_SCL	
B3	96	60	B3	PTD3	禁用		PTD3	SPI0_SIN	UART2_TX	FTM3_CH3	FB_AD3	LPUART0_ TX	I2C0_SDA	
A3	97	61	A3	PTD4/ LLWU_P14	禁用		PTD4/ LLWU_P14	SPI0_PCS1	UART0_ RTS_b	FTM0_CH4	FB_AD2	EWM_IN	SPI1_PCS0	
A2	98	62	C1	PTD5	ADC0_ SE6b	ADC0_ SE6b	PTD5	SPI0_PCS2	UART0_ CTS_b	FTM0_CH5	FB_AD1	EWM_ OUT_b	SPI1_SCK	
F7	—	—	—	VSS	VSS	VSS								
E7	—	—	—	VDD	VDD	VDD								
B2	99	63	B2	PTD6/ LLWU_P15	ADC0_ SE7b	ADC0_ SE7b	PTD6/ LLWU_P15	SPI0_PCS3	UART0_RX	FTM0_CH6	FB_AD0	FTM0_ FLT0	SPI1_ SOUT	
A1	100	64	A2	PTD7	禁用		PTD7		UART0_TX	FTM0_CH7		FTM0_ FLT1	SPI1_SIN	
A10	—	—	—	PTD8	禁用		PTD8	I2C0_SCL				LPUART0_ RX	FB_A16	
A9	—	—	—	PTD9	禁用		PTD9	I2C0_SDA				LPUART0_ TX	FB_A17	
B1	—	—	—	PTD10	禁用		PTD10					LPUART0_ RTS_b	FB_A18	
C2	—	—	—	PTD11	禁用		PTD11					LPUART0_ CTS_b	FB_A19	
C1	—	—	—	PTD12	禁用		PTD12		FTM3_ FLT0				FB_A20	
D2	—	—	—	PTD13	禁用		PTD13						FB_A21	
D1	—	—	—	PTD14	禁用		PTD14						FB_A22	
E1	—	—	—	PTD15	禁用		PTD15						FB_A23	
A11	—	—	—	NC	NC	NC								
K3	—	—	—	NC	NC	NC								
H4	—	—	—	NC	NC	NC								
B11	—	—	—	NC	NC	NC								
C11	—	—	—	NC	NC	NC								

5.2 K22 引脚分配

下图显示的是本档中所支持器件的引脚分配。多个信号可通过单个引脚进行多路复用。要确定每个引脚上可以使用哪些信号，请参见上一节。

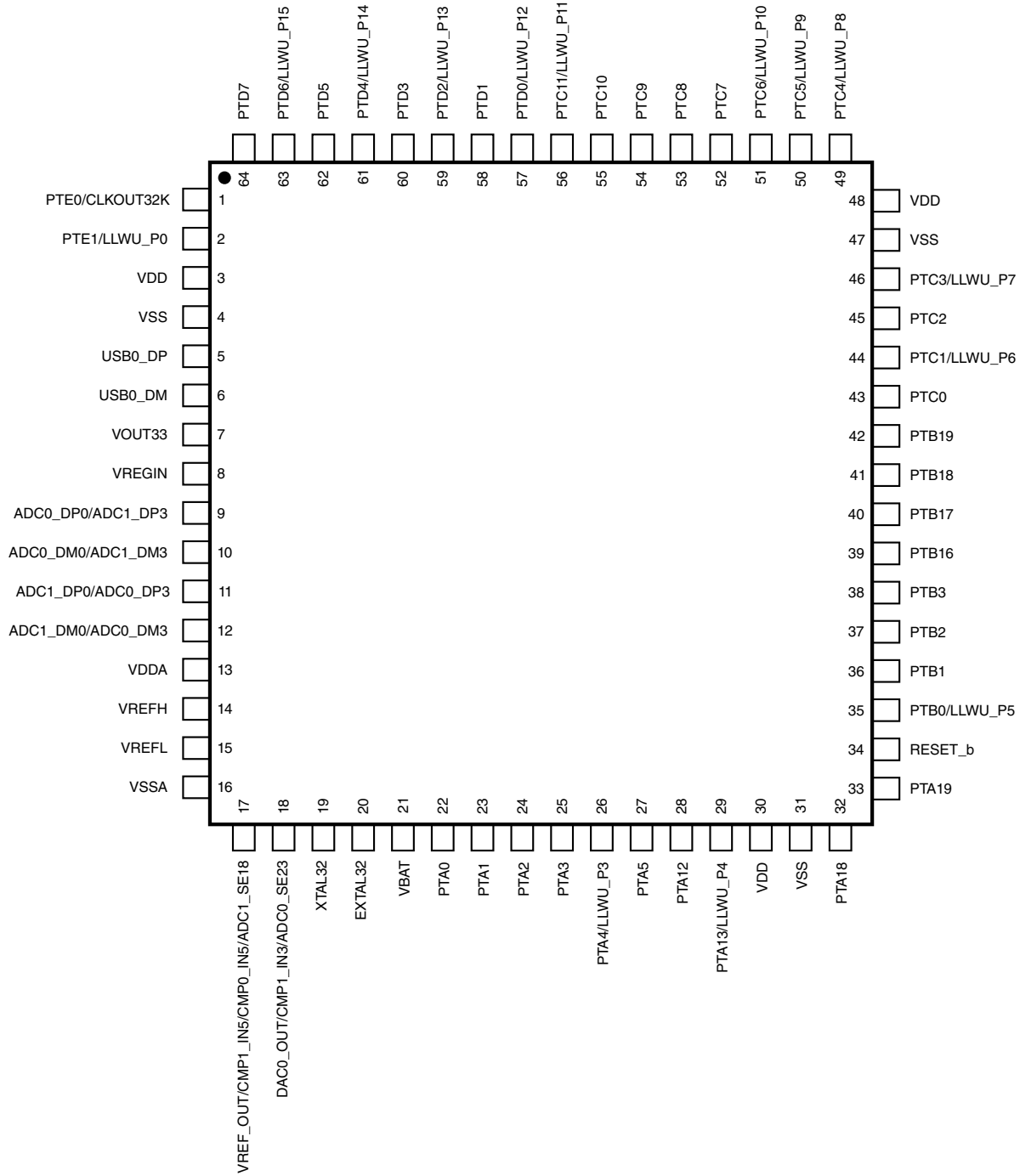


图 32. K22F 64 LQFP 引脚配置 (俯视图)

	1	2	3	4	5	6	7	8	
A	PTE0/ CLKOUT32K	PTD7	PTD4/ LLWU_P14	PTD1	PTC11/ LLWU_P11	PTC8	PTC6/ LLWU_P10	PTC5/ LLWU_P9	A
B	PTE1/ LLWU_P0	PTD6/ LLWU_P15	PTD3	PTC10	PTC9	PTC7	PTC2	PTC4/ LLWU_P8	B
C	PTD5	PTD2/ LLWU_P13	PTD0/ LLWU_P12	VSS	VDD	PTC1/ LLWU_P6	PTB19	PTC3/ LLWU_P7	C
D	USB0_DM	VREGIN	PTA0	PTA1	PTA3	PTB18	PTB17	PTC0	D
E	USB0_DP	VOOUT33	VSS	VDD	PTA2	PTB16	PTB2	PTB3	E
F	ADC0_DM0/ ADC1_DM3	ADC1_DM0/ ADC0_DM3	VSSA	VDDA	PTA5	PTB1	PTB0/ LLWU_P5	RESET_b	F
G	ADC0_DP0/ ADC1_DP3	ADC1_DP0/ ADC0_DP3	VREFL	VREFH	PTA4/ LLWU_P3	PTA13/ LLWU_P4	VDD	PTA19	G
H	VREF_OUT/ CMP1_IN5/ CMP0_IN5/ ADC1_SE18	DAC0_OUT/ CMP1_IN3/ ADC0_SE23	XTAL32	EXTAL32	VBAT	PTA12	VSS	PTA18	H
	1	2	3	4	5	6	7	8	

图 33. K22F 64 MAPBGA 引脚配置 (透明俯视图)

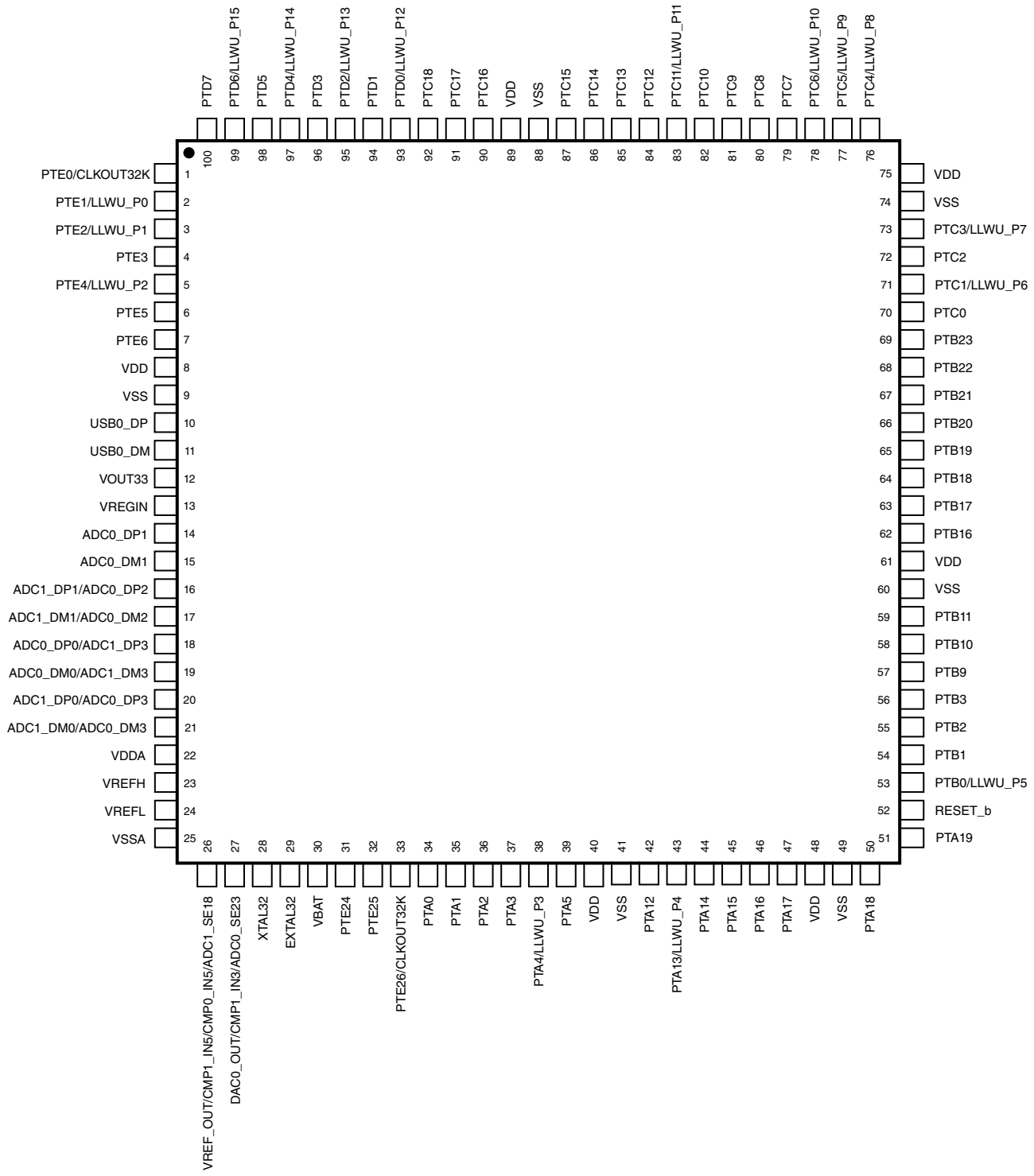


图 34. K22F 100 LQFP 引脚配置 (俯视图)

	1	2	3	4	5	6	7	8	9	10	11	
A	PTD7	PTD5	PTD4/ LLWU_P14	PTC19	PTC14	PTC13	PTC8	PTC4/ LLWU_P8	PTD9	PTD8	NC	A
B	PTD10	PTD6/ LLWU_P15	PTD3	PTC18	PTC15	PTC12	PTC7	PTC3/ LLWU_P7	PTC0	PTB16	NC	B
C	PTD12	PTD11	PTD2/ LLWU_P13	PTC17	PTC11/ LLWU_P11	PTC10	PTC6/ LLWU_P10	PTC2	PTB19	PTB11	NC	C
D	PTD14	PTD13	PTD1	PTD0/ LLWU_P12	PTC16	PTC9	PTC5/ LLWU_P9	PTC1/ LLWU_P6	PTB18	PTB10	PTB8	D
E	PTD15	PTE2/ LLWU_P1	PTE1/ LLWU_P0	PTE0/ CLKOUT32K	VDD	VDD	VDD	PTB23	PTB17	PTB9	PTB7	E
F	USB0_DP	USB0_DM	PTE6	PTE3	VDDA	VSSA	VSS	PTB22	PTB21	PTB20	PTB6	F
G	VOUT33	VREGIN	VSS	PTE5	VREFH	VREFL	VSS	PTB3	PTB2	PTB1	PTB0/ LLWU_P5	G
H	ADC0_DP1	ADC0_DM1	ADC0_SE16/ CMP1_IN2/ ADC0_SE21	NC	PTE24	PTE26/ CLKOUT32K	PTE4/ LLWU_P2	PTA1	PTA3	PTA17	PTA29	H
J	ADC1_DP1/ ADC0_DP2	ADC1_DM1/ ADC0_DM2	ADC1_SE16/ ADC0_SE22	PTA11	PTE25	PTA0	PTA2	PTA4/ LLWU_P3	PTA10	PTA16	RESET_b	J
K	ADC0_DP0/ ADC1_DP3	ADC0_DM0/ ADC1_DM3	NC	DAC1_OUT/ CMP0_IN4/ ADC1_SE23	DAC0_OUT/ CMP1_IN3/ ADC0_SE23	VBAT	PTA5	PTA12	PTA14	VSS	PTA19	K
L	ADC1_DP0/ ADC0_DP3	ADC1_DM0/ ADC0_DM3	VREF_OUT/ CMP1_IN5/ CMP0_IN5/ ADC1_SE18	XTAL32	EXTAL32	VSS	RTC_ WAKEUP_B	PTA13/ LLWU_P4	PTA15	VDD	PTA18	L
	1	2	3	4	5	6	7	8	9	10	11	

图 35. K22F 121 XFBGA 引脚配置 (透明俯视图)

6 器件标识

6.1 说明

芯片的器件型号包含识别具体器件的字段。您可以使用这些字段的值来确定收到的具体器件。

6.2 格式

此器件的器件编号采用如下格式:

Q K## A M FFF R T PP CC N

6.3 字段

下表列出器件编号中每一字段的可能值 (并非所有组合都有效):

字段	说明	值
Q	资格状态	<ul style="list-style-type: none"> M = 完全合格, 一般市场流通, 整卷 P = 资格预审 K = 完全合格, 一般市场流通, 每卷 100 件
K##	Kinetic 系列	<ul style="list-style-type: none"> K22
A	关键属性	<ul style="list-style-type: none"> D = 内置 DSP 的 Cortex-M4 F = 内置 DSP 和 FPU 的 Cortex-M4
M	Flash 存储器类型	<ul style="list-style-type: none"> N = 仅程序 Flash X = 程序 Flash 和 FlexMemory
FFF	程序 Fash 存储器大小	<ul style="list-style-type: none"> 128 = 128 KB 256 = 256 KB 512 = 512 KB
R	芯片版本	<ul style="list-style-type: none"> Z = 初始版本 (空白) = 主版本 A = 主版本后的修订版本
T	温度范围(°C)	<ul style="list-style-type: none"> V = -40 至 105 V = -40 至 85
PP	封装标识符	<ul style="list-style-type: none"> LH = 64 LQFP (10 mm x 10 mm) MP = 64 MAPBGA (5 mm x 5 mm) LL = 100 LQFP (14 mm x 14 mm) MC = 121 XFBGA (8 mm x 8 mm) DC = 121 XFBGA (8 mm x 8 mm x 0.5 mm)
CC	最高 CPU 频率(MHz)	<ul style="list-style-type: none"> 5 = 50 MHz 7 = 72 MHz 10 = 100 MHz 12 = 120 MHz 15 = 150 MHz
N	封装类型	<ul style="list-style-type: none"> R = 盘卷

6.4 示例

下面是器件编号示例:

MK22FN512VDC12

6.5 121 引脚 XFBGA 器件标记

121 引脚 XFBGA 封装的器件遵循下表中的器件标记方案。

表 50. 121 引脚 XFBGA 器件标记

MK 器件编号	MK 器件标记
MK22FN512VDC12	M22J9VDC

6.6 64 引脚 MAPBGA 器件标记

64 引脚 MAPBGA 封装的器件遵循下表中的器件标记方案。

表 51. 64 引脚 MAPBGA 器件标记

MK 器件编号	MK 器件标记
MK22FN512VMP12	M22J9V

7 修订历史记录

下表介绍本文档的修订历史记录。

表 52. 修订历史记录

修订版本号	日期	重大变更
5	4/2015	<ul style="list-style-type: none"> • 第 1 页上: <ul style="list-style-type: none"> • 添加了经过认证的 USB-IF Logo • 在“简介”的第一点中, 更新了功耗数据以与“功耗特性”表中的数据对应 • 在“简介”的第二点中, 添加了“USB FS 设备无晶体功能” • 在“安全性和完整性模块”中添加了“硬件随机数生成器” • 在“通信接口”中, 更新了 I²C 项, 以说明支持高达 1 Mbps 操作 • 在“工作特性”中, 指定了电压范围包括 flash 写入 • 在图“功能结构框图”中, 添加了“随机数生成器” • 在“电压和电流工作要求”表中: <ul style="list-style-type: none"> • 删除了与正注入电流相关的内容 • 更新了脚注 1, 以说明所有模拟引脚和 I/O 引脚通过 ESD 保护二极管仅内部钳位至 V_{SS} (而非 V_{SS} 和 V_{DD})。 • 在“功耗特性”表中: <ul style="list-style-type: none"> • 在功耗表中添加了额外的温度数据 • 添加了最大 IDD 值 (均值加上 3 倍的标准偏差) • 更新了“EMC 电磁辐射特性”表

下一页继续介绍此表...

表 52. 修订历史记录 (继续)

修订版本号	日期	重大变更
		<ul style="list-style-type: none"> • 在“热学操作要求”表中，添加了以下环境温度脚注：“仅当用户确保 T_J 不会超过最大 T_J 时才可超过最大 T_{A0}。确定 T_J 的最简单方法是：$T_J = T_A + \Theta_{JA} \times \text{芯片功耗}$” • 更新了“IRC48M 特性”： <ul style="list-style-type: none"> • 更新了 $\Delta_{firc48m_ol_lv}$ 和 $\Delta_{firc48m_ol_hv}$ 的最大值（全温度） • 添加了 $\Delta_{firc48m_ol_hv}$ 规格（-40°C 至 85°C） • 更新了“USB 电气特性”章节中的注释 • 在“I²C 时序”表中， <ul style="list-style-type: none"> • 添加了以下有关 SCL 时钟频率最大快速模式值的脚注：“在采用最大总线负载的快速模式下，仅当在全电压范围内使用高电流驱动引脚或使用正常驱动引脚且 $VDD \geq 2.7 V$ 时，才能获得最高 SCL 时钟频率。” • 已将 SCL 时钟低周期的最小快速模式值更新为 1.25 μ • 添加了“I²C 1 Mbps 时序”表 • 删除了章节 6，“订购器件” • 说明了图“K22F 64 LQFP 引脚配置”为俯视图 • 说明了图“K22F 64 MAPBGA 引脚配置”为透明俯视图 • 说明了图“K22F 100 LQFP 引脚配置”为俯视图 • 纠正了“64 引脚 MAPBGA 器件标记”表中的器件标记
4	7/2014	<ul style="list-style-type: none"> • 在“功耗特性表”中： <ul style="list-style-type: none"> • 更新了既有的典型功率测量值 • 新增了下列各项的典型功率测量值： <ul style="list-style-type: none"> • IDD_HSRUN（HSRUN 模式电流，执行 CoreMark 代码） • IDD_RUNCO（计算过程中的 RUN 模式电流，执行 CoreMark 代码） • IDD_RUN（计算过程中的 RUN 模式电流，执行 while(1)循环代码） • IDD_VLPR（VLPR 模式电流，执行 CoreMark 代码） • IDD_VLPR（计算过程中的 VLPR 模式电流，执行 while(1)循环代码） • 在“热学属性”表中添加了 64 MAPBGA 封装对应的值
3	5/2014	<ul style="list-style-type: none"> • 更新了“电压和电流工作值”表中的最大数字供电电流 • 更新了“电压和电流特性”表 • 更新了“功率模式转换特性”表 • 更新了“功耗特性”表 • 更新了“64 引脚 LQFP 封装的 EMC 电磁辐射特性”表 • 更新了“热学属性”表 • 更新了“MCG 特性”表 • 更新了“IRC48M 特性”表 • 更新了“16 位 ADC 操作条件”表 • 更新了“电压基准电气特性”章节 • 添加了“64 引脚 MAPBGA 器件标记”表
2	3/2014	初始发布

How to Reach Us:

Home Page:

freescale.com

Web Support:

freescale.com/support

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有操作参数，包括“典型值”在内，在每个客户应用中必须经由技术专家进行验证。Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：freescale.com/SalesTermsandConditions.

Freescale, the Freescale logo, and Kinetis are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners. ARM and Cortex are registered trademarks of ARM Limited (or its subsidiaries) in the EU and/or elsewhere. The USB-IF Logo is a registered trademark of USB Implementers Forum, Inc. All rights reserved.

© 2014–2015 Freescale Semiconductor, Inc.