

# 深入讨论 HCS08 的内部时钟源模块 (ICS)

作者 : Scott Pape

本文档将深入介绍内部时钟源模块 (Internal Clock Source, ICS), 该模块可以在部分 HCS08 系列微控制器中找到。对 HCS08 MCU 来说, ICS 模块不但是一个非常灵活的时钟源, 而且对于该系列中更小、更低成本的 MCU 来说非常经济。

ICS 包括锁频环、内部时钟参考、外部振荡器和时钟选择子模块。这些子模块组合可以提供多种时钟模式和频率, 以满足任何应用的需要。

本应用笔记详细描述 ICS 的 7 种工作模式、ICS 模块与其他 HCS08 MCU 的内部时钟发生器 (Internal Clock Generator, ICG) 模块作比较、ICS 模块从不同低功耗模式下恢复的特性及内部时钟参考的校准方法。

## 1 ICS 模块的功能描述

本节将详细介绍内部时钟源的功能操作。

### 目录

1	ICS 模块的功能描述 .....	1
1.1	结构框图 .....	2
1.2	ICS 模式: Off .....	3
1.3	ICS 模式: FEI .....	3
1.4	ICS 模式: FEE .....	4
1.5	ICS 模式: FBI 和 FBILP .....	4
1.6	ICS 模式: FBE 和 FBELP .....	4
1.7	ICS 与 ICG .....	5
1.8	其他应用特点 .....	5
2	低功耗模式下的 ICS .....	5
2.1	Stop1 和 Stop2 .....	6
2.2	Stop3 .....	6
2.3	Wait .....	6
3	校准 IRC .....	6
3.1	如何校准 — AN2496 .....	6
3.2	未校准状态 .....	7
3.3	校准 IRC .....	7

## 1.1 结构框图

图 1 为 ICS 的结构框图。ICS 由 4 个主要的子模块组成：

- 锁频环（FLL）
- 内部参考时钟
- 外部振荡器
- 时钟选择逻辑

ICSOUT 为 ICS 的主要输出，用于产生 CPU 和总线时钟的时钟信号。CPU 时钟频率等于 ICSOUT 的频率，总线时钟频率为 ICSOUT 的 1/2。

FLL 输出的频率要比参考时钟频率快 512 倍。FLL 由 3 个主要模块组成：

- 参考选择
- 数控振荡器（DCO）
- 用于比较其他两个模块输出的滤波器

FLL 非常类似于锁相环（PLL），区别在于 PLL 基于参考时钟和 DCO 时钟的相位差调节输出，而 FLL 通过比较 DCO 时钟和参考时钟的频率来工作。FLL 统计一个参考时钟周期内的 DCO 时钟边沿的个数。所以为了达到 512 倍，FLL 在参考时钟的每个上升沿之间应计数到 512 个 DCO 的上升沿。FLL 大多是由数字逻辑实现，无需 PLL 通常所需要的外部滤波器元件。

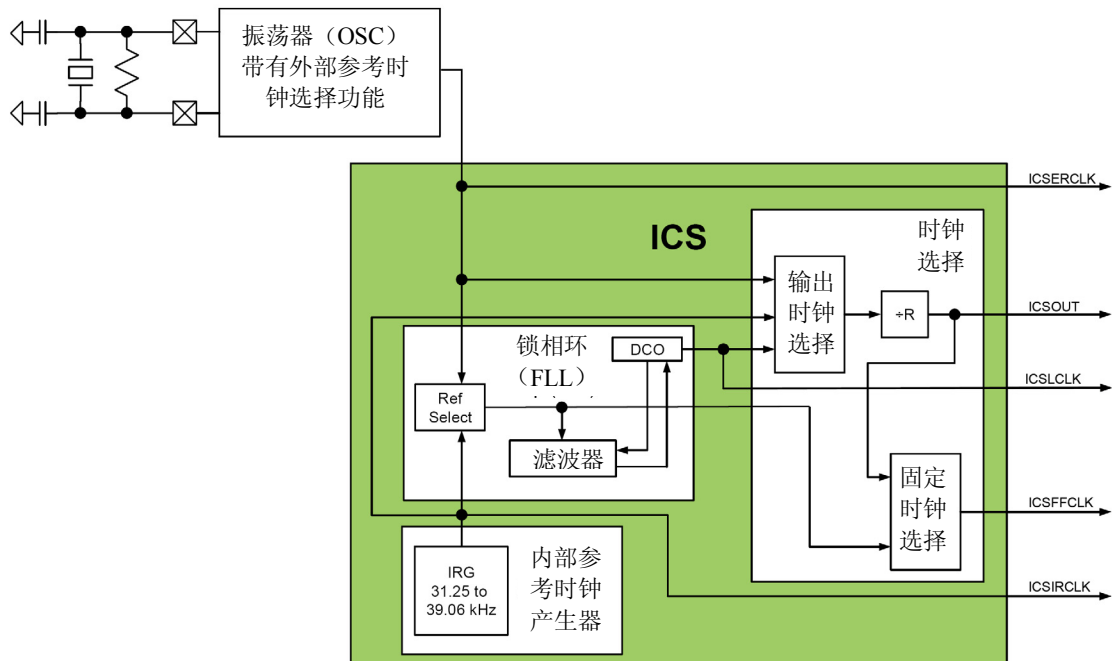


图 1. ICS 结构框图

时钟选择逻辑只是简单地在 FLL 输出、外部时钟参考或内部时钟参考中选择作为 ICS 模块的输出。另外还包含一个时钟分配器电路，对输出进行 1、2、4、8 分频来降低输出时钟的频率。

内部参考时钟（IRC）是可校准的，可用作 FLL 的参考时钟，也可直接用作 CPU 和总线时钟的时钟源。该内部参考时钟不需要校准电容或电阻等外部元件。IRC 是由 9 位 ICS 寄存器的值校准，它提供典型分辨率为 0.1% 的未校准的 IRC 频率。与其他内部参考不同，该 IRC 可被校准为 31.25kHz 到 39.06kHz 的频率范

围。作为 FLL 参考使用时，允许用户将总线频率设置为 8MHz ~ 10MHz 间的任意值，分辨率为 0.1%。校准后，校准频率的典型误差为 +0.5% ~ -1%，最大也只有 ± 2%。

外部振荡器参考（OSC）实际上是 3 个外部时钟源组合成 1 个。它包含一个使用 32 kHz ~ 38.4 kHz 晶体振荡器或陶瓷振荡器的低频振荡器和一个使用 1 MHz ~ 16 MHz 晶体振荡器或陶瓷振荡器的高频振荡器。每个振荡器都需要两个引脚 XTAL 和 EXTAL 来产生时钟信号。OSC 还有一种外部时钟模式，只允许一个外部时钟信号进入 MCU。在该模式下，只需要 EXTAL 引脚，XTAL 引脚可作普通 I/O 口用。输入频率可以是 0 Hz ~ 20 MHz 间的任意值。由于引脚限制，部分 MCU 可以没有外部振荡器。

实际上 ICS 的哪个子模块被激活取决于 ICS 选择的时钟模式。ICS 有 7 中工作模式：

- Off
- FLL 使用，内部参考（FEI）
- FLL 使用，外部参考（FEE）
- FLL 旁路，内部参考（FBI）
- FLL 旁路，内部参考，低功耗（FBILP）
- FLL 旁路，外部参考（FBE）
- FLL 旁路，外部参考，低功耗（FBELP）

## 1.2 ICS 模式：Off

只要 MCU 进入任一种低功耗 stop 模式，ICS 就被关闭。在 off 模式下，FLL 被禁止以节省功耗。但是在 stop3 模式下，可以选择是否使能外部参考、内部参考或两者兼用。这个特点允许那些支持外部参考作为时钟参考的模块在 stop3 下运行，如实时中断模块（RTI）。一些 MCU 可能没有连到内部或外部参考的模块。为了达到最低功耗，如果没有必要，应该禁止参考时钟。

## 1.3 ICS 模式：FEI

FLL 使用内部参考（FEI）模式，是芯片复位后的默认模式，包括上电复位（POR）。在该模式下，FLL 被激活且由其输出信号驱动 CPU 和总线时钟。IRC 被用作 FLL 的参考频率，所以不需要外部元件（如滤波电容或校准电阻），EXTAL 和 XTAL 引脚可用于其他复用功能。

根据公式 1 可以算出在 FEI 模式下的总线频率：

$$f_{bus} = f_{IRC} \times 512 \div (2 \times busdivider) \quad \text{公式. 1}$$

由于内部参考可被校准出 31.25kHz 到 39.06kHz 的频率范围，FEI 模式可以产生快 512 倍的频率：16 MHz ~ 20 MHz。复位后，时钟分频器（在后面会详细描述）另加一个 2 分频的信号到 ICSOUT。这是为了在未校准的 IRC 运行速度快于 31.25kHz 情况下保护系统。这将导致总线频率大于 8 MHz，超过了 MCU 低电压（<2.1V）的最大频率范围。由于默认为 2 分频，在任何工作电压范围内，总线频率都可保证在规格以内，但是对 MCU 的快速配置来说仍是足够快的。

在上电复位后，应该校准内部参考值，因为上电复位后校准值复位为 0x80，校准位复位为 0，所有其他复位保持当前校准值。

## 1.4 ICS 模式：FEE

在 FLL 使用外部参考（FEE）模式下，FLL 被激活，其输出驱动 CPU 和总线时钟。外部振荡器为 FLL 提供参考时钟。为了保证系统的正常工作，FLL 输出必须介于 16 MHz ~ 20 MHz 之间。因此，使用 FEE 模式对外部参考的频率有一定的限制。包含一个参考分频器的 ICS 可用于降低外部参考的频率，以提供更多的外部时钟选项。参考分频器由 ICS 控制寄存器 1（ICSC1）的 RDIV 位确定。表 1 给出了基于 RDIV 设置的允许的外部频率。

表 1. FEE 模式下的可用外部频率

RDIV	分频	最小外部频率 (MHz)	最大外部频率 (MHz)
000	1	0.03125	0.03906
001	2	0.0625	0.07812
010	4	0.125	0.1562
011	8	0.25	0.3125
100	16	0.50	0.625
101	32	1.0	1.25
110	64	2.0	2.5
111	128	4.0	5.0

根据公式 2 可以算出在 FEE 模式下的总线频率：

$$f_{bus} = f_{osc} \div \text{referencedivider} \times 512 \div (2 \times \text{busdivider}) \quad \text{公式. 2}$$

## 1.5 ICS 模式：FBI 和 FBILP

FLL 旁路内部参考（FBI）模式和 FLL 旁路内部参考低功耗（FBILP）模式只有一个不同点。它们都是绕过 FLL 直接使用 IRC 产生 ICSOUT。不同之处在于 FBI 模式下 FLL 仍是激活的，而在 FBILP 模式下 FLL 被禁止了，所以可以节省更多的电源。通过配置成 FBI 并设置 ICS 控制寄存器 2（ICSC2）的 LP 位可以启用 FBILP。

用 FBILP 而不用 FBI 有两个原因：第一，为了使用背景调试模式（BDM）；第二，为了节省切换到 FEI 的 FLL 锁定时间。为了给 BDM 通信提供高速时钟源，FLL 必须在激活状态。如果在使能 BDM 时设置 LP 位，则 FLL 会保持激活状态。而且，如果在 LP 位设置之后使能 BDM，FLL 也会被切换到激活状态。FLL 锁定时间最大为 1ms，通常要求 500 μs。禁止 FLL 通常可以节省 200 ~ 310 μA，具体值取决于 V<sub>DD</sub> 和 FLL 频率。

## 1.6 ICS 模式：FBE 和 FBELP

FLL 旁路外部参考（FBE）的模式和 FLL 旁路外部参考低功耗（FBELP）模式与上面所述的 FBI 和 FBILP 模式相类似，不同在于是用 OSC 产生时钟源，而不是 IRC。FBE/FBELP 也绕过了 FLL，而且在不使能 BDM 的情况下可通过 LP 位来禁止 FLL。

从第 1.4 节“ICS 模式：FEE”得知，如果使用 FLL（FEE），OSC 频率是受限的。如果不使用 FEE 模式并且将 ICS 设置为 FBELP 模式（记住，FBE 模式下 FLL 仍是激活的），那么这些限制就会减少到只有对

OSC 参考自己的限制：频率在 32 kHz ~ 38.4 kHz 之间的低频振荡器，频率在 1 MHz ~ 16 MHz 之间的高频振荡器和频率在 0Hz ~ 20 MHz 之间的外部时钟模式。然而，如果使能 BDM，对 FEE 振荡器的限制同 FBILP。

同时，在 FBELP 模式下，第 1.4 节“ICS 模式：FEE”中讨论的参考分频器无任何作用。FBE 模式下对振荡器的限制同 FEE 模式。

## 1.7 ICS 与 ICG

个别 HCS08 系列 MCU 仍有内部时钟产生器（ICG）模块。有几个差别可以用于区分 ICS 与 ICG。虽然 ICS 是一个全新的模块，但在功能上基本是 ICG 的一个子集。ICS 的用途是为更小、更低成本的 HCS08 系列 MCU 提供一个更小的低功耗的时钟模块。

首先，ICG 模块中的 FLL 有更多关于产生输出频率的选项。ICS 中的 FLL 固定用 512 的倍频因子，产生的输出频率为 16 MHz ~ 20 MHz，而 ICG 中的 FLL 有 8 个软件可选择的倍频因子，外加一个同时使用高频（>1MHz）和低频（<100Hz）时钟参考的预分频器，产生的输出频率为 8 MHz ~ 40 MHz，且对参考时钟的限制更少。

ICG 提供更多时钟状态位。ICG 提供 9 个状态位，几乎可以检测到 ICG 运行时的各种状态，包括 LOCK 状态，当前 ICG 模式，DCO 稳定性和外部参考时钟的稳定性。ICS 只有 3 个状态位：2 个用来检测当前 ICS 的模式，1 个用来指示已被初始化的外部振荡器。

ICG 还提供时钟检测电路，在 FLL 失锁或时钟源丢失时进行复位或中断。失锁或丢失时钟时不仅会产生复位或中断，而且 ICG 还会切换到内部时钟源来维持 CPU 工作。ICS 对其中任何一种情况都无法检测到。然而，一些 HCS08 系列 MCU 为 COP 看门狗定时器提供一个完全独立的时钟，使得在 CPU 和总线时钟崩溃时复位 MCU。

更多关于 ICG 的细节参见任何有 ICG 模块的 HCS08 系列 MCU 的数据手册，如 MC9S08GB60 或应用笔记 AN2494。

## 1.8 其他应用特点

应该提到的两个附加特点为：总线分频器和高增益振荡器。

总线分频器在本文档的前面已提到过。它有 4 个软件可选择的总线时钟分频因子：1，2，4 或 8，可通过 ICSC2 的 BDIV 位进行选择。它除了 off 模式以外的所有模式都可用。在不需要更高总线速度的情况下，对降低 CPU 和总线时钟是很有用，可以降低功耗。分频器是在 FLL 之外的，所以改变该值不会导致 FLL 失锁。而且，该分频器只需从一个分频器链中的 4 个输出选择一个，所以只要几个总线周期就可以使频率发生改变。复位后，BDIV 被设置为 2 分频。

在驱动晶体振荡器或陶瓷振荡器时，OSC 模块提供一个选项来选择是运行在低功耗模式或高增益模式。低功耗模式通过限制外部元件的电压摆动来节省电源。高增益模式从端到端驱动外部元件，使振荡器不易受板级噪声的干扰。使用高增益选项所增加的功耗独立于所提供的电压和 OSC 频率。例如，32kHz 的晶振在低功耗模式下通常消耗 5  $\mu$ A，且不随  $V_{DD}$  而改变。在高增益模式下，当  $V_{DD}$  为 3V 时同样的晶振消耗 40-50 $\mu$ A，而且随着  $V_{DD}$  的改变，电流变化更大。

## 2 低功耗模式下的 ICS

理解低功耗模式是怎样影响 ICS 的工作是很重要的。

## 2.1 Stop1 和 Stop2

当 MCU 进入 stop1 或 stop2 后，ICS 总是进入 off 模式。因此，在 stop1 或 stop2 模式期间执行 STOP 指令时，ICS 所处的模式无关紧要，也不会影响功耗。

因为 stop1 和 stop2 都会导致 MCU 从 stop 恢复后执行 POR，所以 ICS 总是复位到 FEI 模式，BDIV 设置为 2 分频，产生约为 4MHz 的总线时钟。ICSTRM 被复位为 0x80，而且 FTRIM 位被清 0，所以如果使用内部参考，或者重新校准，或者如果校准值已存入 flash 存储器，可以将该值重新加载到 ICS 寄存器。

## 2.2 Stop3

进入 stop3 后，大多数 ICS 和 FLL 都被禁止。执行 STOP 指令时，ICS 所处的模式不会影响 stop3 的功耗。然而，ICS 中有 2 个控制位 IREFSTEN 和 EREFSTEN 会影响 stop3 的电流。对 IREFSTEN 置位会导致 IRC 在 stop3 模式下仍有效。同样地，对 EREFSTEN 置位会导致 OSC 在 stop3 模式下仍有效。设置 IREFSTEN 会导致 stop3 的电流大概有 100  $\mu$ A。设置 EREFSTEN 对 stop3 的电流的影响很大，大小取决于 OSC 的频率及其设置。

如果是因为复位而退出 stop3，那么就像 stop1 或 stop2 那样，ICS 会恢复到 FEI 模式。不同的是校准值不会被复位，除非是 POR 复位。

如果是因为中断而退出 stop3，ICS 恢复的模式由进入 stop3 时所处的模式决定：

在 FBI 模式下，ICS 立即以校准的频率启动。

在 FEI 模式下，立即以 stop 前校准的频率启动。

在 FEE 模式下，立即以 stop 前的频率启动，在开环模式下持续稳定需要的时间，然后切换到外部参考时钟。

在 FBE 模式下，启动延时，延时时间取决于外部参考时钟稳定所需的时间。如果使用晶体振荡器或陶瓷振荡器，那么 ICS 会等待 4096 个振荡周期再使能 ICSOUT。如果 EREFSTEN 位被置位，延时取消。同样，如果使用外部时钟，4096 个周期的延时也被取消。

## 2.3 Wait

wait 模式不影响 ICS 的运行。执行 WAIT 指令时，ICS 所处的模式不变。从 wait 模式中恢复也不会影响 ICS 的运行，除非发生了复位，那么如上所述 ICS 也会复位。

# 3 校准 IRC

如果使用 FEI 或 FBI 模式，ICS 中的 IRC 需要校准，因为在这些模式下 FLL 是激活的。为了将 FLL 的输出保持在 16 MHz ~ 20 MHz 范围内，IRC 的频率需要在 31.25 kHz ~ 39.06 kHz 之间。在 FBILP 模式下，FLL 被禁止，所以对 IRC 的校准是可选的。

## 3.1 如何校准 — AN2496

AN2496 — 校准 MC9S08GB/GT 内部时钟产生器 (ICG) 讨论了如何校准 ICG 模块的内部参考时钟产生器。对 ICS 的 IRC 的校准与其基本相同。因此，关于在线校准方法的细节，请阅读 AN2496。AN2496 中提供的软件实例可以通过简单的修改用在没有 ICG 但有 ICS 的 MCU 中。

## 3.2 未校准状态

POR后，ICS处于默认的FEI模式下，且BDIV被设置为2分频。ICSTRM被复位为0x80，而且FTRIM位被清0。这使得9位的校准值正好在其范围的中间。由于工厂处理的不同，IRC的频率必须在25 kHz ~ 41.66 kHz范围内。根据公式1可知，总线频率在3.2 MHz ~ 5.33 MHz范围内。

ICS可以在这种没有校准的模式下正常工作，但是，为了得到最好的结果，应当校准IRC。

## 3.3 校准 IRC

可以通过先写ICSTRM寄存器，然后使用FTRIM位来精确校准IRC。我们将这个9位的值作为校准值，即从0x000到0x1FF，FTRIM位为LSB。

POR后的校准值总是0x100。写入比0x100大的值会降低频率，小的值会提高频率。如AN2496所述，校准值与周期成线性关系，除了晶片工厂处理中产生的校准值与周期间的微小非线性变化所带来的微小变化。正是因为存在这些非线性的变化，所以为了找到最佳的校准值，AN2496建议使用迭代的校准方法。

为设备找到合理的校准值后，可以将该值存入flash存储器中。该设备掉电后，IRC可以将保存的值从flash中复制到ICS寄存器重新校准。Freescale给每个MCU定义了推荐使用的flash地址来存储该校准值。具体设备的这个地址要参考数据手册的存储映射图。由工厂校准的设备中，该值就存放在这些位置上。

## 如何联系我们:

**主页:**  
[www.freescale.com](http://www.freescale.com)

**电子邮件:**  
[support@freescale.com](mailto:support@freescale.com)

**美国 / 欧洲或未列出的地方:**  
Freescale Semiconductor  
Technical Information Center, CH370  
1300 N. Alma School Road  
Chandler, Arizona 85224  
1-800-521-6274 or +1-480-768-2130  
[support@freescale.com](mailto:support@freescale.com)

**欧洲、中东和非洲:**  
Freescale Halbleiter Deutschland GmbH  
Technical Information Center  
Schatzbogen 7  
81829 Muenchen, Germany  
+44 1296 380 456 (English)  
+46 8 52200080 (English)  
+49 89 92103 559 (German)  
+33 1 69 35 48 48 (French)  
[support@freescale.com](mailto:support@freescale.com)

**日本:**  
Freescale Semiconductor Japan Ltd.  
Headquarters  
ARCO Tower 15F  
1-8-1, Shimo-Meguro, Meguro-ku,  
Tokyo 153-0064, Japan  
0120 191014 or +81 3 5437 9125  
[support.japan@freescale.com](mailto:support.japan@freescale.com)

**亚太地区:**  
飞思卡尔半导体(中国)有限公司 100022  
北京市朝阳区建国路乙 118 号  
京汇大厦 23 层  
+86 10 5879 8000  
[support.asia@freescale.com](mailto:support.asia@freescale.com)

**仅提供印刷品请求:**  
Freescale Semiconductor Literature Distribution Center  
P.O. Box 5405  
Denver, Colorado 80217  
1-800-441-2447 or +1-303-675-2140  
Fax: +1-303-675-2150  
[LDCForFreescaleSemiconductor@hibbertgroup.com](mailto:LDCForFreescaleSemiconductor@hibbertgroup.com)

文档号: AN3041  
第 0 版  
2005 年 10 月

Information in this document is provided solely to enable system and software implementers to use Freescale Semiconductor products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits or integrated circuits based on the information in this document.

Freescale Semiconductor reserves the right to make changes without further notice to any products herein. Freescale Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Freescale Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in Freescale Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals", must be validated for each customer application by customer's technical experts. Freescale Semiconductor does not convey any license under its patent rights nor the rights of others. Freescale Semiconductor products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Freescale Semiconductor product could create a situation where personal injury or death may occur. Should Buyer purchase or use Freescale Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold Freescale Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Freescale Semiconductor was negligent regarding the design or manufacture of the part.

RoHS-compliant and/or Pb-free versions of Freescale products have the functionality and electrical characteristics as their non-RoHS-compliant and/or non-Pb-free counterparts. For further information, see <http://www.freescale.com> or contact your Freescale sales representative.

For information on Freescale's Environmental Products program, go to <http://www.freescale.com/epp>.

Freescale™ and the Freescale logo are trademarks of Freescale Semiconductor, Inc. All other product or service names are the property of their respective owners. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org  
© Freescale Semiconductor, Inc. 2005-2008. All rights reserved.